AN1301
应用笔记

UM2010 硬件调试指南

版本：V1.0

Unicmicro

UNICMICRO
广芯微电子

广芯微电子（广州）股份有限公司

http://www.unicmicro.com/

版本修订

版本	日期	描述
V1.0	2022.05.21	初始版

Unicmicro

Copyright © 2022 广芯微电子（广州）股份有限公司

目录

1 概述 1
2 应用参考原理图 1
2.1 BUCK 模式 1
2.2 非 BUCK 模式 2
2.3 参考元件值 2
3 硬件设计 4
3.1 PCB Layout 4
3.2 Layout 建议 5
4 接收匹配调试 6
4.1 RX 模式下 LNA 输入阻抗 6
4.2 匹配网络结构 6
4.3 实际测试调整 8
5 发射匹配调试 9

Unicmicro

 Copyright © 2022 广芯微电子（广州）股份有限公司

1 概述

UM2010 是一款工作于 200MHz~960MHz 范围内的低功耗、高性能、单片集成的(G)FSK/OOK 无线收发机芯片。内部集成完整的射频接收机、射频发射机、频率综合器、调制解调器，只需配备简单、低成本的外围器件就可以获得良好的收发性能。

2 应用参考原理图

2.1 BUCK 模式

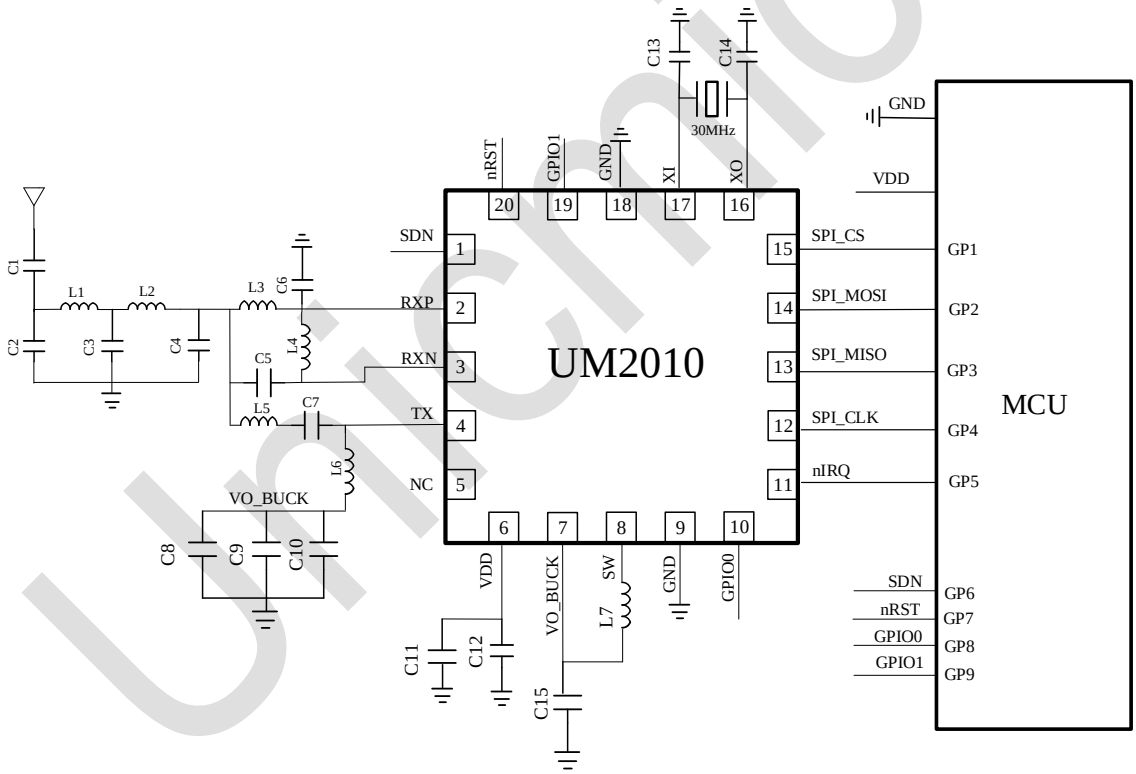

图 2-1：BUCK 模式应用参考原理图

Copyright © 2022 广芯微电子（广州）股份有限公司

2.2 非 BUCK 模式

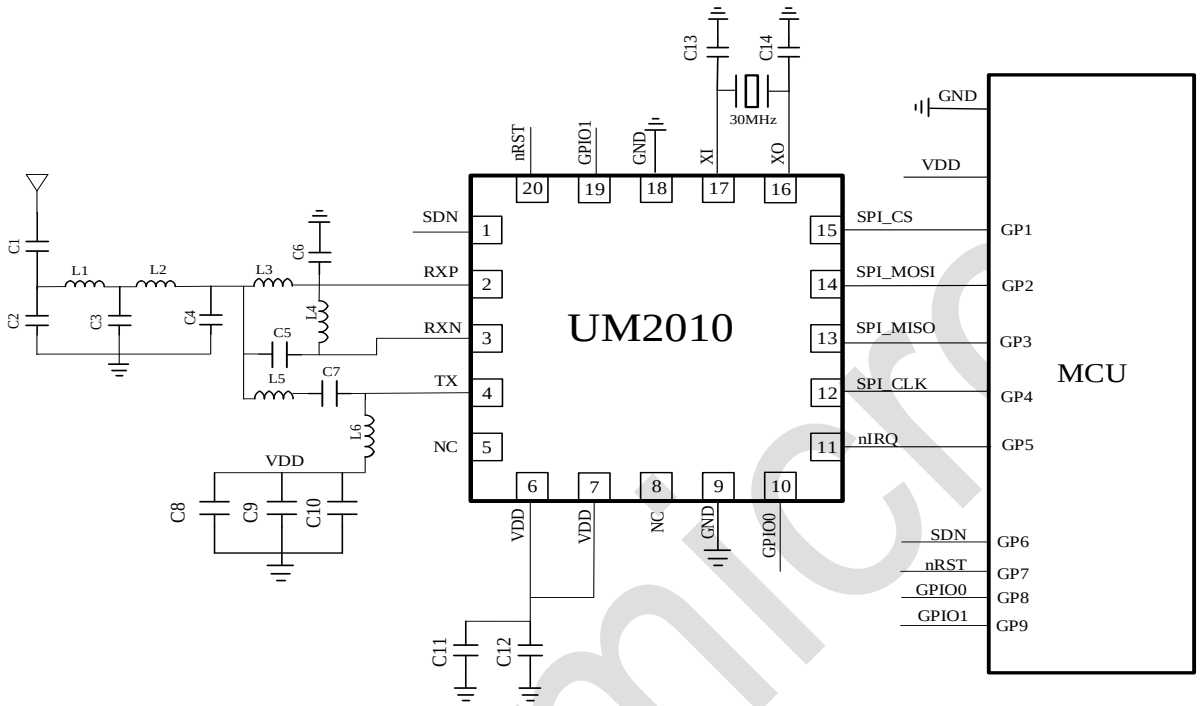

图 2-2：非 BUCK 模式应用参考原理图

2.3 参考元件值

- C13、C14 为晶振负载电容，根据实际晶振型号来取值
- C1 为隔直电容
- L1、L2、C2、C3、C4 为切比雪夫低通滤波器
- L3、L4、C5、C6 为接收匹配电路
- L5、L6、C7 为发射匹配电路
- C8、C9、C10、C11、C12 为电源退耦电容，用于减少 PA 输出对电源的影响。根据实际的应用需求要做适当调整
- C15、L7 为 BUCK DCDC 滤波电路

表 2-1：原件值列表

位号	描述	元件值				单位
		315	433.92	868	915	MHz
C1	±10%,0402, X7R,50V	220	220	220	220	pF
C2	±5%, 0402, C0G, 50 V	12	6.8	4.3	5	pF
C3	±5%, 0402, C0G, 50 V	20	12	6.8	6.8	pF
C4	±5%, 0402, C0G, 50 V	13	6.8	4.3	6.8	pF
C5	±5% ,0402,NP0, 50V	3	3	3	3	pF

Copyright © 2022 广芯微电子（广州）股份有限公司

位号	描述	元件值				单位
		315	433.92	868	915	MHz
C6	±1%,0402,NPO,50V	7.5	2.5	3.3	3.3	pF
C7	±5%,0402,NPO,50V	3.2	3.6	4.7	4.5	pF
C8	±10%,0402,X7R,50V	0.1	0.1	0.1	0.1	nF
C9	±5%, 0603 NP0, 50 V	0.1	0.1	0.1	0.1	nF
C10	±10%,0402,X7R,50V	2.2	2.2	2.2	2.2	uF
C11	±10%,0402,X7R,50V	2.2	2.2	2.2	2.2	uF
C12	±10%,0402,X7R,50V	100	100	100	100	nF
C13	±5%, 0402, C0G, 50 V	15	15	15	15	pF
C14	±5%, 0402, C0G, 50 V	15	15	15	15	pF
C15	±10%,0402,X7R,50V	2.2	2.2	2.2	2.2	uF
L1	±2%,0402,贴片绕线电感	28	18	10	9.1	nH
L2	±2%,0402,贴片绕线电感	30	18	10	10	nH
L3	±2%,0402,贴片绕线电感	75	47	10	12	nH
L4	±5%,0402,贴片绕线电感	51	39	11	11	nH
L5	±5%,0402,贴片绕线电感	82	30	7.5	6.8	nH
L6	±5%,063,贴片绕线电感	120	56	82	82	nH
L7	±5%,063,贴片绕线电感	2.2	2.2	2.2	2.2	uH

Unicmicro

Copyright © 2022 广芯微电子（广州）股份有限公司

3 硬件设计

3.1 PCB Layout

该芯片采用收发一体设计，发射和接收能够共用同一根天线，在不会显著影响收发性能的情况下，相较使用单独的收发通道，结构更紧凑，成本更低。通过芯片外接的匹配及滤波元器件的调整来获得较佳的发射和接收性能。图 3-1 中 PCB 采用 2 层板设计，黑色框 1 为滤波电路，可以有效的抑制各次谐波，满足认证要求；为有效提高接收性能，芯片内部接收电路采用差分设计，黑色框 2 为接收匹配巴伦部分。黑色框 3 为发射匹配元件(L6、C12、L7)及 RF 部分电源滤波元件。

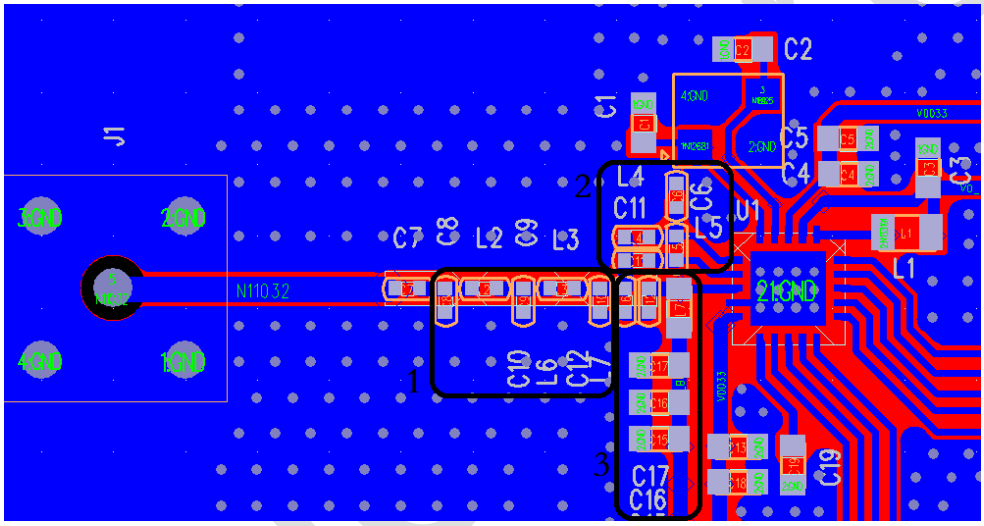

图 3-1：PCB Layout 应用参考

由于 RF 部分匹配的优劣直接决定所设计 PCB 线路板 RF 性能的好坏；在进行 PCB 布线时，匹配元件尽量靠近芯片管脚且排列紧凑，以减少 PCB 走线寄生参数的影响，如图 3-2 所示。与 SMA 接头间连接走线要做好阻抗控制，走 50 欧姆 CPW。RF 部分滤波电容要尽量靠近芯片 TX 管脚。在 RF 走线两边尽量保证有完整的接地平面并通过过孔与芯片底部接地焊盘通过底层完整地平面连接在一起。

Copyright © 2022 广芯微电子（广州）股份有限公司

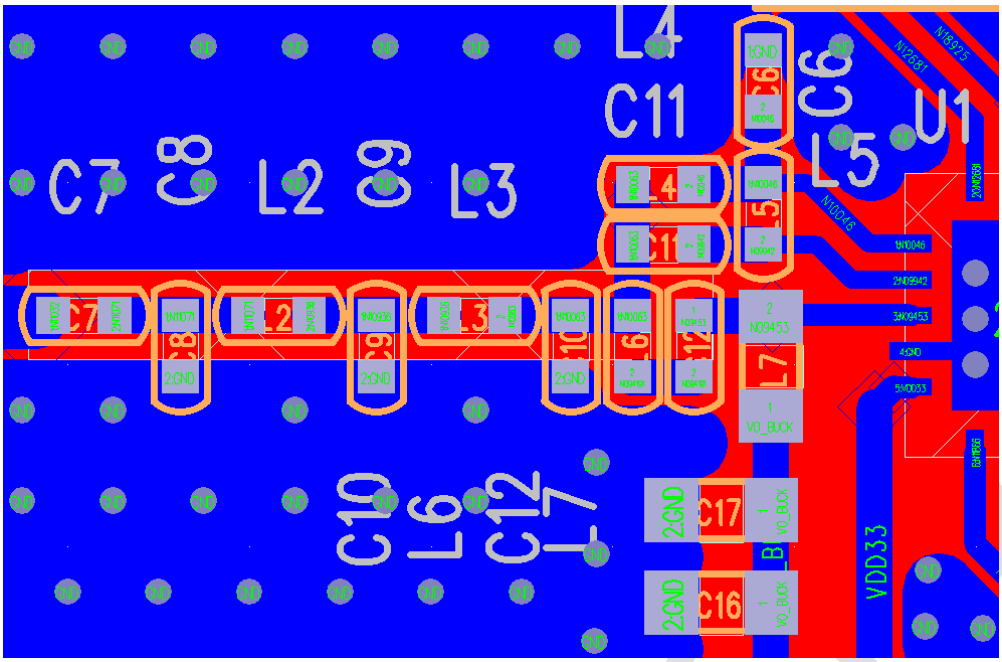

图 3-2：RF 部分走线示意图

3.2 Layout 建议

1. 使用外部晶振时，晶振要靠近芯片 XTAL_IN, XTAL_OUT 管脚放置，晶振与芯片管脚的连线不宜过长。晶振周围要保持良好的接地面，周围不要走高频信号线。晶振下方需保留完整的接地面，尽量不要让走线从晶振下方穿过。
2. 使用 QFN20 封装芯片时，底部焊盘通过过孔与 GND Plane 连接。过孔孔径可适当的大一些，以增加焊接时的可靠性。
3. 所有接地管脚,尽量在同一完整地面或通过过孔与一完整地面相连。

电源滤波电容尽量靠近芯片管脚，电源线走线路径要经由电容后再到芯片管脚，需符合 PCB Layout 走线规范。可在电源线靠近滤波电容处增加磁珠或其它滤波电路来提高电源的稳定性。

Copyright © 2022 广芯微电子（广州）股份有限公司

4 接收匹配调试

4.1 RX 模式下 LNA 输入阻抗

在接收模式下，使用网络分析仪直接测量 UM2010 差分输入引脚 RX_P/RX_n 的输入阻抗，结果如下图所示。

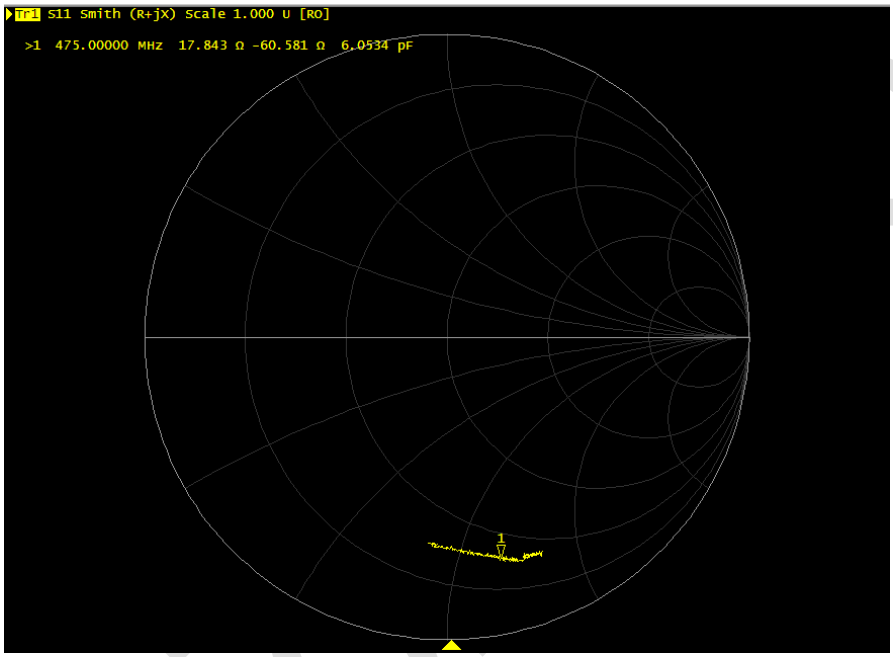

图 4-1：测量输入阻抗

测量时需要将网络分析仪的输出功率设置在-25dBm 以下，以保证 LNA 的输入功率在其线性工作范围内。输入功率太大时会导致所测试的阻抗数据失真。

由测量得到的阻抗数据可以将 LNA 的输入阻抗等效为一个电阻 R_{LNA} 与一个电容 C_{LNA} 并联。

从图中的差分输入阻抗$Z = R + jX$，将其转换为导纳$Y = \frac{1}{Z} = G + jB$。由此可以计算出等效的并联输入电阻和电容值$R_{LNA} = \frac{1}{G}$，$C_{LNA} = \frac{B}{2\pi f}$。

由图中测量的 S11 数据可以计算出在 475MHz 时，等效电阻$R_{LNA} = 223.55\Omega$，电容$C_{LNA} = 5.09pF$。

4.2 匹配网络结构

为了能达到较佳的接收性能，设计中采用 4 元匹配网络，如下图所示。该 4 元匹配网络可以在 RX_P 和 RX_n 之间产生理想的 180°相位差，可以有效改善 LNA 转换增益和接收灵敏度。

 Copyright © 2022 广芯微电子（广州）股份有限公司

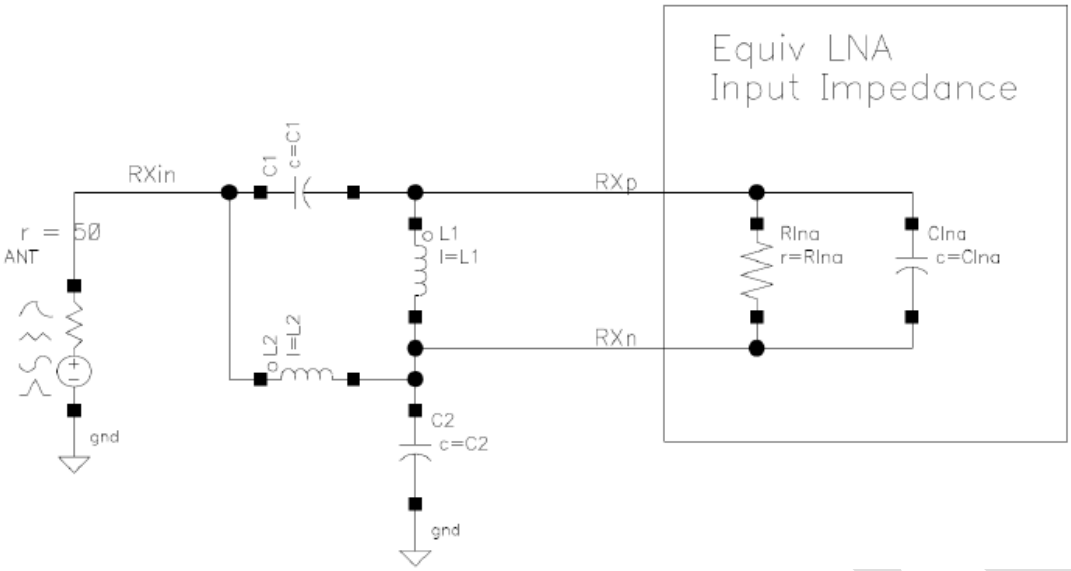

图 4-2：匹配网络

我们要将输入阻抗匹配到$Z_{IN} = 50\Omega$，则输入阻抗只有实部；此时输入电流I_{IN}也是仅有实部。该输入电流通过 C2 在 RXn 节点处产生电压V_{RXn}，此时电压V_{RXn}相对于输入有-90°相移。由于是差分输入要求 RXP 和 RXN 之间电压幅度相等相位相反。如果V_{RXn}相位是-90°，则V_{RXp}相位就必须是+90°。由于 LNA 输入阻抗并不是纯电抗，通过 LNA 网络的电流与通过 C2 产生的电流会有不同，使得相位并不是严格的-90°。一般的巴伦使用 3 个元件 L1、C1、C2，此时 LAN 两端的相位并不能达到我们所需要的反相位。引入 L2 对相位进行补偿，使 LNA 差分输入端电压保持相反的相位。

可通过如下公式对元件值进行计算：

$$L_2 = \frac{\sqrt{50\Omega \times R_{LNA}}}{\omega_{RF}}$$

$$C_1 = \frac{1}{\omega_{RF}^2 L_2}$$

$$C_2 = 2 \times C_1$$

$$L_{LNA} = \frac{1}{\omega_{RF}^2 C_{LNA}}$$

$$L_M = 2 \times L_2$$

$$L_1 = \frac{L_{LNA} L_M}{L_{LNA} + L_M}$$

使用上述公式，可计算得到在 433MHz，4 元匹配网络元件的参数如下：

$$C_1 = 3.17pF$$

$$L_1 = 16.84nH$$

$$C_2 = 6.34pF$$

$$L_2 = 35.44nH$$

Copyright © 2022 广芯微电子（广州）股份有限公司

4.3 实际测试调整

以上述通过理论计算的值作为参考，实际上选择在该值附近的实际的电感电容。由于实际 PCB 上布局走线引入的寄生影响，实际的元件值还需要在此基础上进行调整。

在接收模式下，在测试板上通过调整参数，使用网络分析测量的 S11 结果如下图所示。

实际的匹配元件取值为：

$$C_1 = 3pF$$
$$L_1 = 18nH$$
$$C_2 = 20pF$$
$$L_2 = 47nH$$

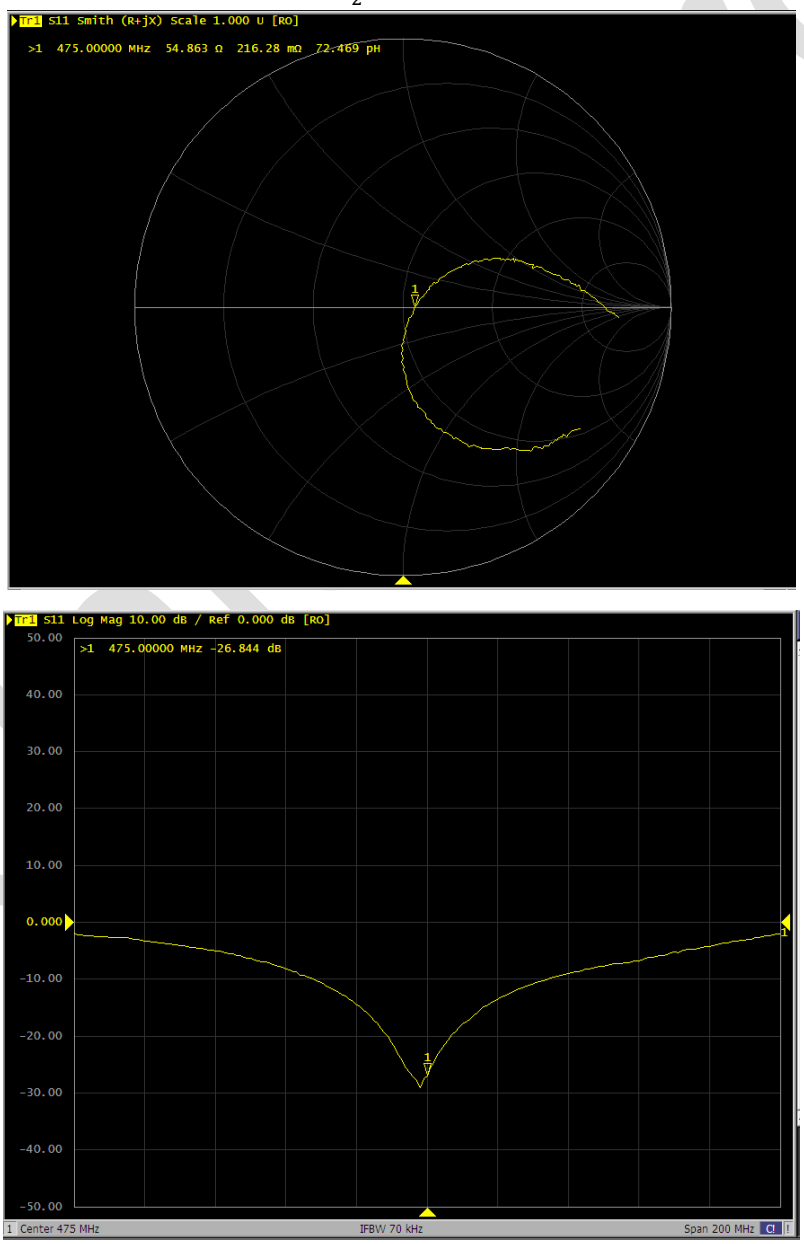

图 4-3：匹配结果

Copyright © 2022 广芯微电子（广州）股份有限公司

5 发射匹配调试

为了能够在供电电压$V_{DD} = 3.3V$时获得最大的输出功率和最大的输出效率（最小电流消耗），并满足相关法规对辐射杂散的要求，需要对电路输出进行相应的匹配设计。

UM2010 有发射和接收的功能，发射和接收可以有 3 种不同的连接方式。

1. TX 和 RX 分别为独立的 2 路，使用 2 根天线，分别来进行发射和接收。
2. TX 和 RX 通过一个 RF 开关连接在一起，使用 1 根天线，通过控制开关的方向来控制信号到 TX 或 RX 的走向。
3. TX 和 RX 通过走线直接连接在一起，使用 1 根天线。

在 UM2010 内部的 PA 电路不是传统的 Class A/B/C 类线性功放，使用的是开关 Class E 类功放，可以获得很高的效率，其匹配方法也不同于传统的线性功放。

Class E 匹配主要步骤如下：

1. 选择L_{CHOKE}(上拉电感)在F_0产生高阻抗负载。
2. 选择C_0-L_0（串联谐振电感电容）谐振在频率F_0。
3. 计算L_X（串联电感）、C_M（并联电容），做负载匹配。
4. 设计切比雪夫低通滤波器（衰减谐波）。

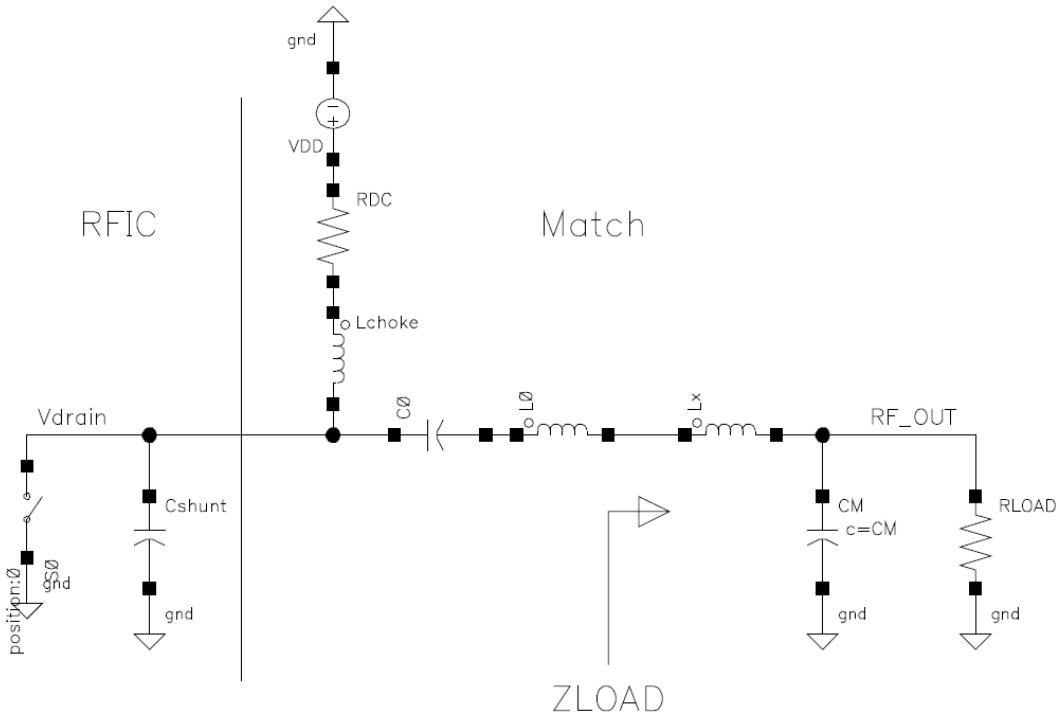

图 5-1：开关类 PA 电路典型结构

Copyright © 2022 广芯微电子（广州）股份有限公司

对于 Class-E 开关功放，上拉电感L_{CHOKE}的阻抗理论上在 DC 时为 0，在其他频率为无穷大。在实际上，我们可以选择某些电感值以近似达到该效果。在选择L_{CHOKE}时，使其不仅在主频为高阻抗，在较低阶谐波也为高阻。电感值也不要太大导致其并联谐振频率在主频或超过主频。

串联电容电感C_0-L_0使其谐振在主频F_0。理论上有很多种 LC 的组合可以谐振在该频率，在选择元件值时，取值不要特别大或特别小。同样的在理论上希望C_0-L_0在谐振频率阻抗为 0，在其他频率阻抗为无穷大。在实际应用中可使用高 L/C 值来达到合理近似。为了减少谐振电路的插损，希望其 Q 值尽量高，实际元件电感 Q 值要小于电容 Q 值，取L_0-C_0比值时使电感 Q 值最大。一般电感 Q 值随着其取值的增加而增大，在增大电感时不要超过其自谐振频率。

理论上 Class-E 开关功放,其要求的负载阻抗(Z_{LOAD})为漏极并联电容(C_{SHUNT})和工作频率($\omega_0 = 2\pi F_0$)的函数。

$$Z_{LOAD} = (\frac{0.2815}{\omega_0 C_{SHUNT}})e^{j\times 49.0524°}$$

UM2010 的并联电容约为 2.5pF，代入公式计算可得：

$$Z_{LOAD} = \left(\frac{0.2815}{2\pi \times 475M \times 2.5pF}\right)e^{j\times 49.0524°} = 24.73 + j28.5\Omega$$

然后计算匹配元件L_X和C_M的值将天线端阻抗Z_{ANT}匹配到所需负载阻抗Z_{LOAD}。理想天线负载阻抗为$Z_{ANT} = R_{ANT} = 50\Omega$,可使用 Smith Chart 得$C_M = 6.77pF$，$L_X = 17.81nH$。

串联电感L_0和L_X可以合并使用一个等效电感$L_0 + L_X$来代替。

匹配网络可以使用贴片绕线电感或贴片叠层电感。绕线电感相较叠层电感有更高的 Q 值及更小的直流电阻，使用绕线电感可以获得更好的性能，但其物料价格也相较叠层电感贵。在实际使用时需综合考虑性能和成本来选择使用哪种电感。

低通滤波选用切比雪夫滤波器，在高频阻带衰减和带内插损取得平衡，设计时通带内波纹设为 0.25dB~0.5dB。

基于成本考虑，我们在设计发射接收连接方式时优先选择第 3 种，即将 TX 和 RX 通过走线直接连接在一起。此情况下的匹配电路典型结构如图 5-2 所示，将接收端的差分匹配巴伦与 TX、RX 路径连接在一起。在该种情况下，我们希望在 TX 模式下，接收匹配电路不会对输出电路产生太大影响；同样的在 RX 模式下，发射匹配电路对接收性能也不要产生太大影响。如图 5-2 所示在芯片内部 LNA 输入端设有开关对 TX、RX 模式进行隔离。

Copyright © 2022 广芯微电子（广州）股份有限公司

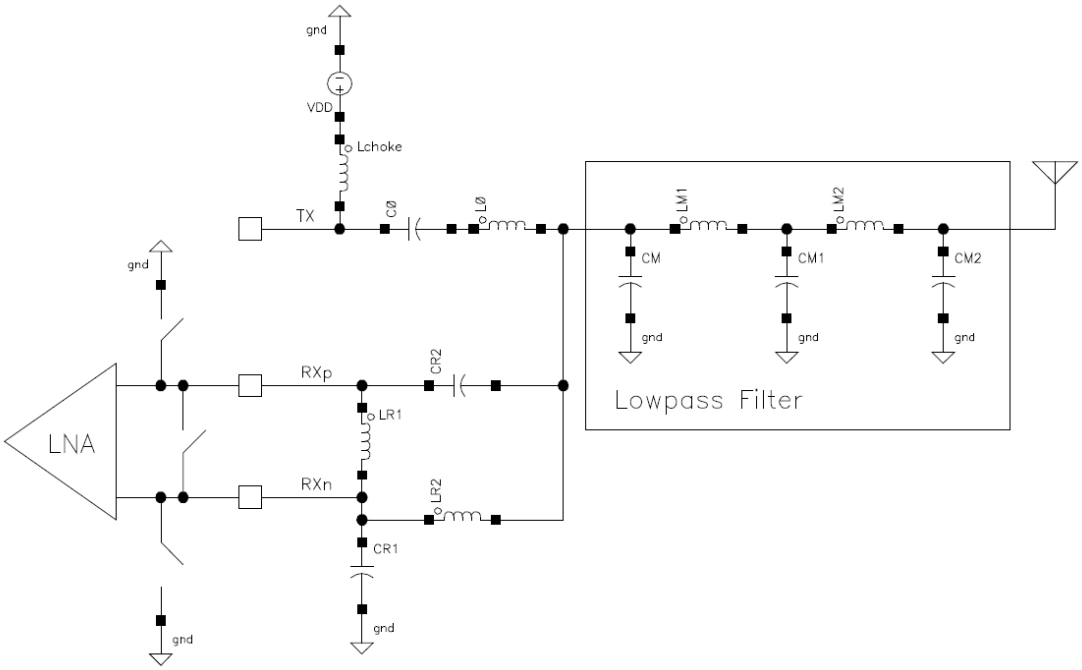

图 5-2：TX、RX 直连匹配典型结构

在 TX 模式时，3 个开关同步闭合，在其他模式时开关断开。其等效电路如图 5-3 所示。此时L_{R2}和C_{R2}等效并联到地。当选取的L_{R2}和C_{R2}值谐振在工作频率时，其在 TX 路径上呈现高阻，因此会将接收匹配网络对发射的影响减小。

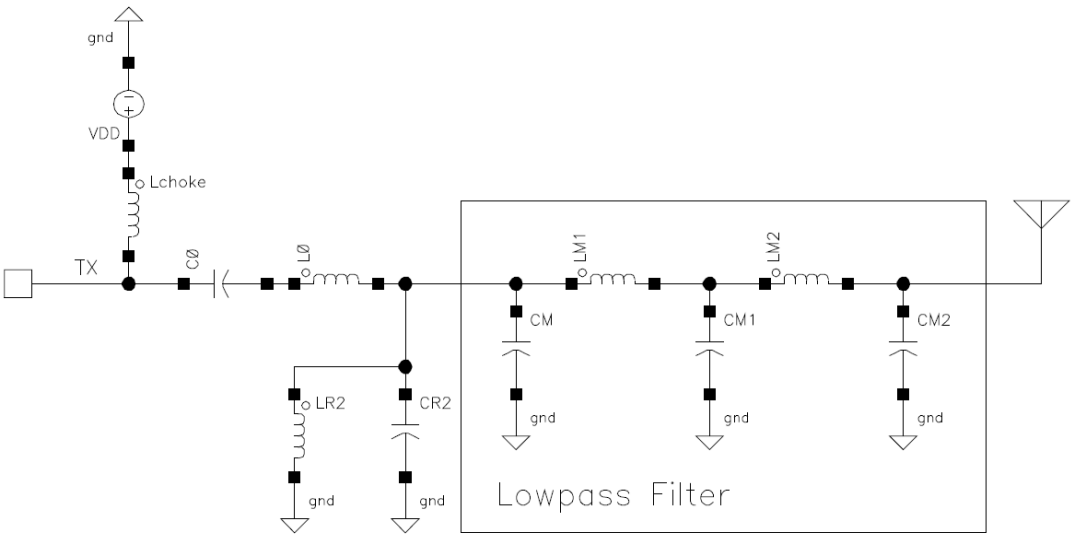

图 5-3：TX 模式等效电路图

在 RX 模式时，PA 输出关闭，其等效电路图如图 5-4 所示。此时C_{PAoff}与C_0、L_0串联在一起，在其谐振频率相当于对地短路，从而影响接收性能。在C_{PAoff}固定的情况下，需要通过调整C_0、L_0的取值，在稍微牺牲发射性能的同时降低对接收性能的影响。可调整增大L_0的取值来对性能进行优化。

Copyright © 2022 广芯微电子（广州）股份有限公司

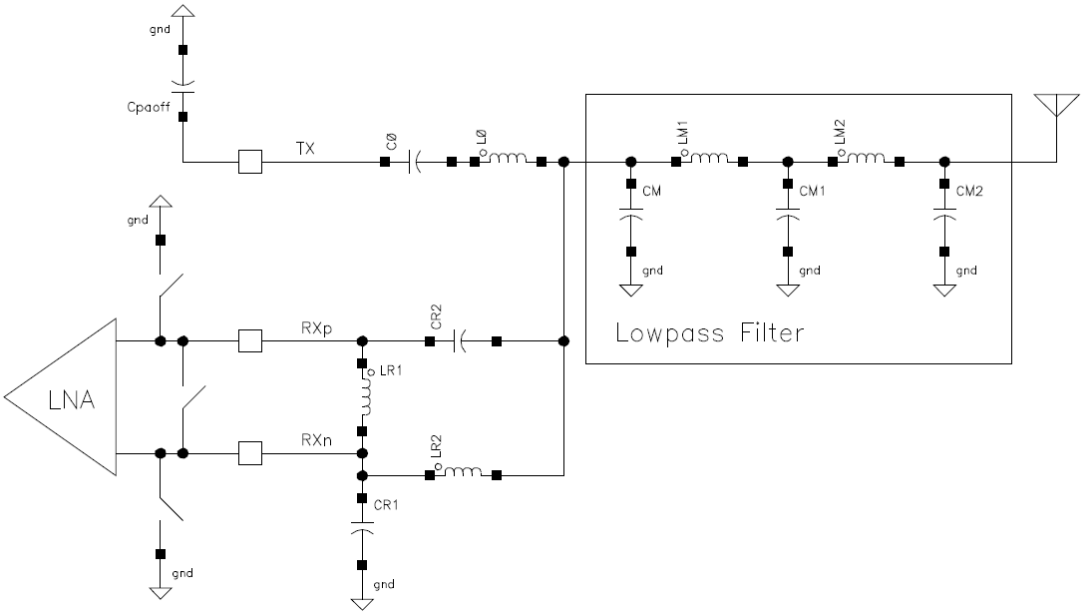

图 5-4：RX 模式等效电路图

Copyright © 2022 广芯微电子（广州）股份有限公司