

AN1301
应用笔记

UM2010 硬件调试指南

版本: V1.2



广芯微电子（广州）股份有限公司

<http://www.unicmicro.com/>

条款协议

本文档的所有部分，其著作产权归广芯微电子（广州）股份有限公司（以下简称广芯微电子）所有，未经广芯微电子授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，广芯微电子及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，广芯微电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，广芯微电子已尽量做到合理注意，但是，广芯微电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，广芯微电子不承担任何责任。
3. 对于因使用本文档中的广芯微电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，广芯微电子不承担任何责任。本文档所记载的内容不应视为对广芯微电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其它方式的许可及授权。
4. 使用本文档中记载的广芯微电子产品时，应在广芯微电子指定的范围内，特别是在最大额定值、电源工作电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用广芯微电子产品而产生的故障或损失，广芯微电子不承担任何责任。
5. 虽然广芯微电子一直致力于提高广芯微电子产品的质量和可靠性，但是，半导体产品有其自身的特点，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，广芯微电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当广芯微电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。

目录

1	概述	1
2	应用参考原理图	2
2.1	参考电路概述	3
2.2	物料清单	4
3	硬件设计	6
4	接收匹配调试	8
4.1	RX 模式下 LNA 输入阻抗	8
4.2	匹配网络结构	9
4.3	实际测试调整	10
5	发射匹配调试	12
6	版本修订	16

1 概述

UM2010 是一款工作于 200MHz~960MHz 范围内的低功耗、高性能、单片集成的(G)FSK/OOK 无线收发机芯片。内部集成完整的射频接收机、射频发射机、频率综合器、调制解调器，只需配备简单、低成本的外围器件就可以获得良好的收发性能。

本文档是 UM2010 应用开发指南，主要阐述如何设计和应用 UM2010 原理图和 PCB 版图，以达到最佳的射频性能。

2 应用参考原理图

通常，我们在设计射频匹配网络时，需要兼顾几个方面：端口的阻抗匹配必须一致，插入损耗尽可能小，带外衰减尽可能大，PA 功率与效率尽可能高，元件个数尽可能少。

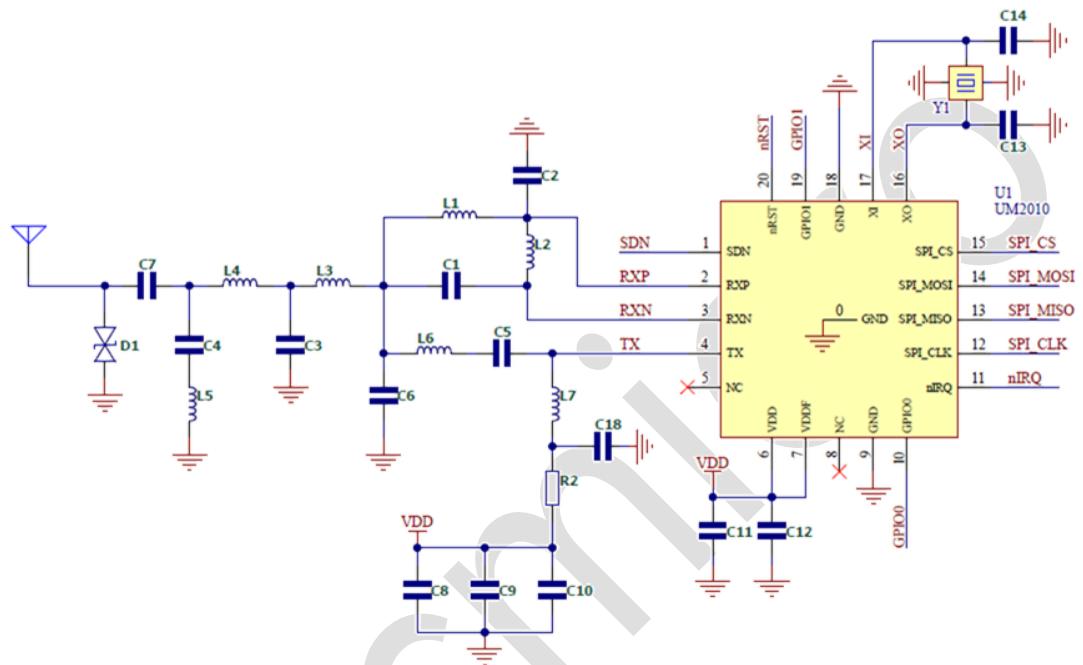


图 2-1: 典型应用参考原理图

应用说明:

1. SDN 为芯片关断引脚, 高电平为关断。如果该引脚受 MCU 控制, 必须给固定电平。如果应用中不需要关断功能, 可以将 SDN 引脚接地。
 2. nRST 为芯片的 GPIO2 引脚, 默认配置为复位功能, 使能上拉功能, 高电平时芯片正常工作。如果应用不需要复位功能, 可悬空。
 3. 芯片关断时, SDN、GPIO0、GPIO1、nRST(GPIO2)、SPI_CS、SPI_CLK、SPI_MISO、SPI_MOSI 处于高阻状态。
 4. 芯片睡眠时, SDN、SPI_CS、SPI_CLK、SPI_MOSI 为输入。SPI_MISO 为输出, 输出低电平。GPIO0、GPIO1、GPIO2 方向保持, 如果为输出, 则输出低电平。
 5. D1 为 ESD 保护管, 可根据应用要求来定是否需要。

2.1 参考电路概述

1. L1 是扼流电感。
2. C8~C11 是电源退耦电容，用于减少 PA 输出对电源的影响。根据实际应用需求要做适当调整。
3. C5 是隔直电容，并且与 L6 的部分电感在工作频点形成谐振起到谐波抑制作用。
4. 上图标识的 A 点为直连点，该点的阻抗是 50Ω 。
5. L6 和 C6 组成 TX 匹配网络，实现 PA 输出和直连点阻抗匹配。
6. L1, L2, C1, C2 组成 RX 巴伦匹配网络，实现接收机的输入阻抗和直连点匹配，并使得接收信号到达差分输入口 RXP 和 RXN 处时幅度相等，相位相差 180 度。
7. L3, L4, L5, C3, C4, C7 为 50Ω 到 50Ω 的切比雪夫低通滤波匹配网络。
8. Y1 推荐用频率容差 $\pm 10\text{ppm}$ 的 26MHz 晶体，可接受的晶体频率容差取决于用户产品通讯系统的要求，如频率、信道、带宽等。
9. C13、C14 为晶振负载电容，根据实际晶振型号来取值。

2.2 物料清单

表 2-1: UM2010 +13dBm 物料清单

位号	描述	元件值				单位
		315	433	868	915	
C1	$\pm 5\%$, 0402, NPO, 50V, YAGEO	5.6	3	2	2	pF
C2	$\pm 5\%$, 0402, NPO, 50V, YAGEO	4.7	8.2	2	2	pF
C3	$\pm 10\%$, 0402, NPO, 50V, YAGEO	8.2	8.2	5	5	pF
C4	$\pm 5\%$, 0402, NPO, 50V, YAGEO	5	2.7	2.7	2.7	pF
C5	$\pm 10\%$, 0402, NPO, 50V, YAGEO	8.2	5.6	4.7	4.7	pF
C6	$\pm 5\%$, 0402, NPO, 50V, YAGEO	3.3	3	3	3	pF
C7	$\pm 5\%$, 0402, NPO, 50V, YAGEO	0R	20	5.6nH	5.6nH	pF
C8	$\pm 10\%$, 0402, X7R, 50V, YAGEO	470	470	470	470	pF
C9	$\pm 10\%$, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C10	$\pm 10\%$, 0402, X5R, 10V, muRata	2.2	2.2	2.2	2.2	μ F
C11	$\pm 10\%$, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C12	$\pm 20\%$, 0603, X5R, 10V, SUMSUNG	10	10	10	10	μ F
C13	$\pm 1\%$, 0402, NPO, 50V, YAGEO	27	20	27	27	pF
C14	$\pm 1\%$, 0402, NPO, 50V, YAGEO	27	20	27	27	pF
C18	$\pm 10\%$, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
L1	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	68	33	12	12	nH
L2	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	82	33	12	12	nH
L3	$\pm 5\%$, 0603, 贴片高频电感, Sunlord	68	39	8.2	8.2	nH
L4	$\pm 5\%$, 0603, 贴片高频电感, Sunlord	47	33	10	10	nH
L5	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	12	10	2.7	2.7	nH
L6	$\pm 5\%$, 0603, 贴片高频电感, Sunlord	56	33	12	12	nH
L7	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	220	180	100	100	nH
Y1	3225 无源晶振, $\pm 10\text{ppm}$, 20pF 负载	26	26	26	26	MHz

表 2-2: UM2010 +18dBm 物料清单

位号	描述	元件值				单位
		315	433	868	915	
C1	$\pm 5\%$, 0402, NPO, 50V, YAGEO	5.6	3	2	2	pF
C2	$\pm 5\%$, 0402, NPO, 50V, YAGEO	4.7	8.2	2	2	pF
C3	$\pm 10\%$, 0402, NPO, 50V, YAGEO	8.2	8.2	5	5	pF
C4	$\pm 5\%$, 0402, NPO, 50V, YAGEO	5	2.7	2.7	2.7	pF
C5	$\pm 10\%$, 0402, NPO, 50V, YAGEO	8.2	5.6	3.9	3.9	pF
C6	$\pm 5\%$, 0402, NPO, 50V, YAGEO	3.3	3	5	5	pF
C7	$\pm 5\%$, 0402, NPO, 50V, YAGEO	27nH	20	5.6nH	5.6nH	pF
C8	$\pm 10\%$, 0402, X7R, 50V, YAGEO	470	470	470	470	pF
C9	$\pm 10\%$, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C10	$\pm 10\%$, 0402, X5R, 10V, muRata	2.2	2.2	2.2	2.2	μ F
C11	$\pm 10\%$, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C12	$\pm 20\%$, 0603, X5R, 10V, SUMSUNG	10	10	10	10	μ F
C13	$\pm 1\%$, 0402, NPO, 50V, YAGEO	27	20	27	27	pF
C14	$\pm 1\%$, 0402, NPO, 50V, AGEO	27	20	27	27	pF
C18	$\pm 10\%$, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
L1	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	68	33	12	12	nH
L2	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	82	33	12	12	nH
L3	$\pm 5\%$, 0603, 贴片高频电感, Sunlord	22	22	8.2	8.2	nH
L4	$\pm 5\%$, 0603, 贴片高频电感, Sunlord	47	33	10	10	nH
L5	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	12	10	2.7	2.7	nH
L6	$\pm 5\%$, 0603, 贴片高频电感, Sunlord	33	22	8.2	8.2	nH
L7	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	220	180	100	100	nH
Y1	3225 无源晶振, $\pm 10\text{ppm}$, 20pF 负载	26	30	26	26	MHz

3 硬件设计

UM2010 采用收发一体设计，发射和接收能够共用同一根天线，在不会显著影响收发性能的情况下，相较使用单独的收发通道，结构更紧凑，成本更低。通过芯片外接的匹配及滤波元器件的调整来获得较佳的发射和接收性能。图 3-1 中 PCB 采用 2 层板设计。

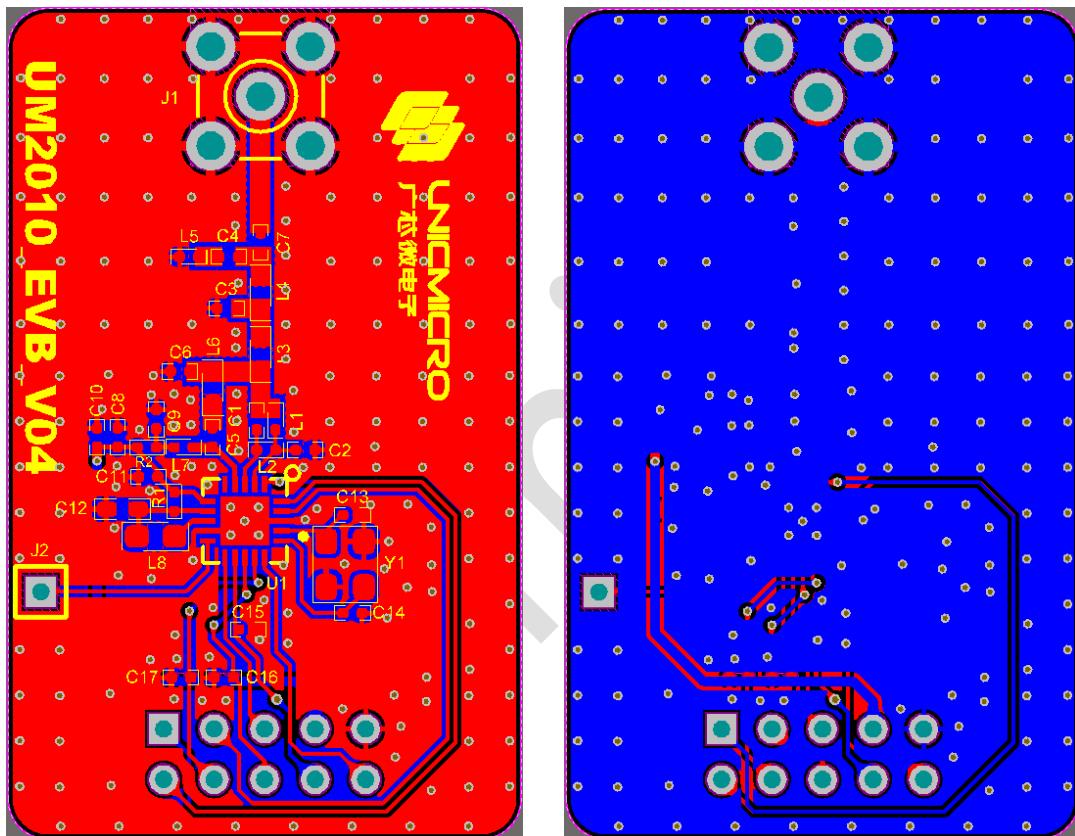


图 3-1: PCB Layout 应用参考

说明如下：

1. 射频信号路径尽量的直且短，减小射频信号输入与输出的损耗。
2. 射频走线应该尽量平整，以减小传输线上的阻抗波动而产生反射。在上图中 L6 到 J1 间走线为 50Ω阻抗传输线。实际设计中根据实际板厚以及 PCB 材质，计算合适的线宽和传输线和地的间隙宽度，以期得到较为准确的 50Ω阻抗。
3. Chock 电感 L7 离 PA 管脚尽量近。相邻电感尽量正交摆放，可减少相互耦合。
4. 直连结合点的分支网络（上图 C6, L1 和 C1 相连部分）要尽量短。

5. 射频通路，晶振电路和 IC 的下方相邻层要有完整的铺地（GND），IC 下方的焊盘要打过孔跟底层相连，增强芯片的接地。
6. TX 和 RX 通路间要有 GND 网络进行隔离。
7. 晶振走线尽可能短，晶振周围保持良好接地面，走线尽量不要从晶振下方穿过。

unicmicro

4 接收匹配调试

4.1 RX 模式下 LNA 输入阻抗

在接收模式下, 使用网络分析仪直接测量 UM2010 差分输入引脚 RX_p/RX_n 的输入阻抗, 结果如下图所示:

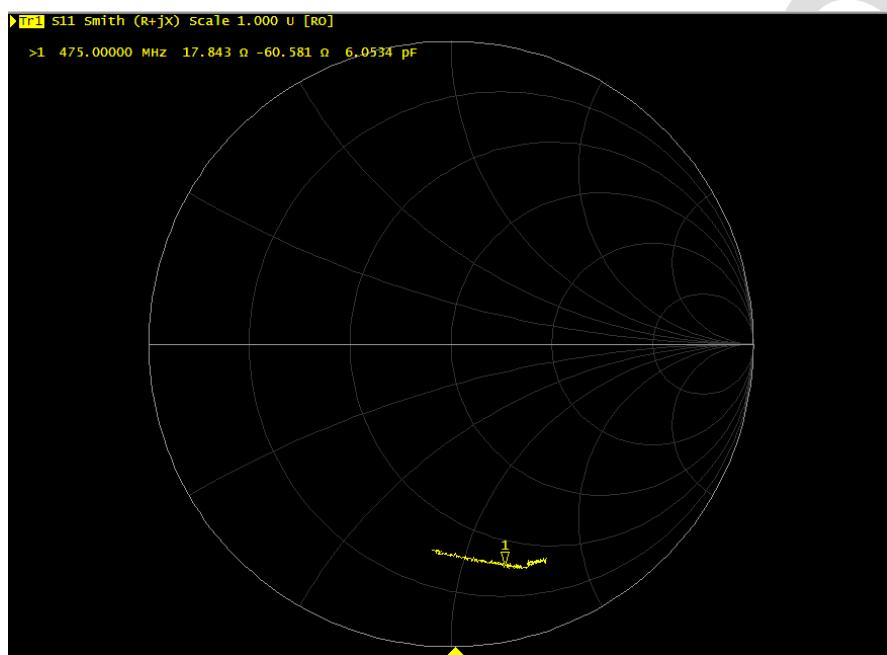


图 4-1: 测量输入阻抗

测量时需要将网络分析仪的输出功率设置在-25dBm 以下, 以保证 LNA 的输入功率在其线性工作范围内。输入功率太大会导致所测试的阻抗数据失真。

由测量得到的阻抗数据可以将 LNA 的输入阻抗等效为一个电阻 R_{LNA} 与一个电容 C_{LNA} 并联。

从图中的差分输入阻抗 $Z = R + jX$, 将其转换为导纳 $Y = \frac{1}{Z} = G + jB$ 。由此可以计算出等效的并联输入电阻和电容值 $R_{LNA} = \frac{1}{G}$, $C_{LNA} = \frac{B}{2\pi f}$ 。

由图中测量的 S11 数据可以计算出在 475MHz 时, 等效电阻 $R_{LNA} = 223.55\Omega$, 电容 $C_{LNA} = 5.09pF$ 。

4.2 匹配网络结构

为了能达到较佳的接收性能, 设计中采用 4 元匹配网络, 如下图所示。该 4 元匹配网络可以在 RX_p 和 RX_n 之间产生理想的 180° 相位差, 可以有效改善 LNA 转换增益和接收灵敏度。

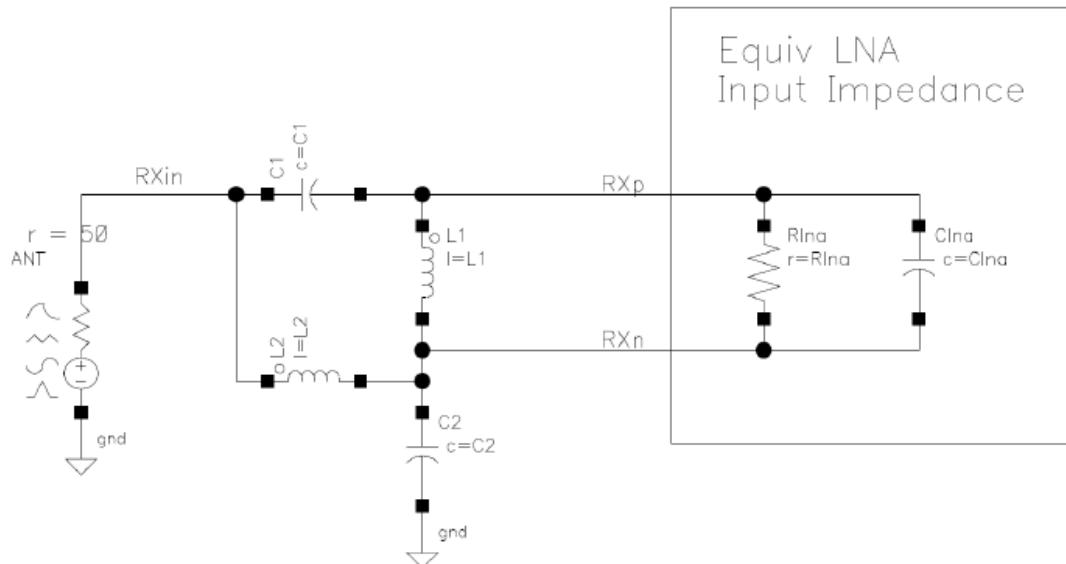


图 4-2: 匹配网络

我们要将输入阻抗匹配到 $Z_{IN} = 50\Omega$, 则输入阻抗只有实部; 此时输入电流 I_{IN} 也是仅有实部。该输入电流通过 C_2 在 RX_n 节点处产生电压 V_{RXn} , 此时电压 V_{RXn} 相对于输入有 -90° 相移。由于是差分输入要求 RXP 和 RXN 之间电压幅度相等相位相反。如果 V_{RXn} 相位是 -90° , 则 V_{RXP} 相位就必须是 $+90^\circ$ 。由于 LNA 输入阻抗并不是纯电抗, 通过 LNA 网络的电流与通过 C_2 产生的电流会有不同, 使得相位并不是严格的 -90° 。一般的巴伦使用 3 个元件 L_1 、 C_1 、 C_2 , 此时 LNA 两端的相位并不能达到我们所需要的反相位。引入 L_2 对相位进行补偿, 使 LNA 差分输入端电压保持相反的相位。

可通过如下公式对元件值进行计算:

$$L_2 = \frac{\sqrt{50\Omega \times R_{LNA}}}{\omega_{RF}}$$

$$C_1 = \frac{1}{\omega_{RF}^2 L_2}$$

$$C_2 = 2 \times C_1$$

$$L_{LNA} = \frac{1}{\omega_{RF}^2 C_{LNA}}$$

$$L_M = 2 \times L_2$$

$$L_1 = \frac{L_{LNA}L_M}{L_{LNA} + L_M}$$

使用上述公式，可计算得到在 433MHz，4 元匹配网络元件的参数如下：

$$C_1 = 3.17pF$$

$$L_1 = 16.84nH$$

$$C_2 = 6.34pF$$

$$L_2 = 35.44nH$$

4.3 实际测试调整

以上述通过理论计算的值作为参考，实际上选择在该值附近的实际的电感电容。由于实际 PCB 上布局走线引入的寄生影响，实际的元件值还需要在此基础上进行调整。

在接收模式下，在测试板上通过调整参数，使用网络分析测量的 S11 结果如下图所示。

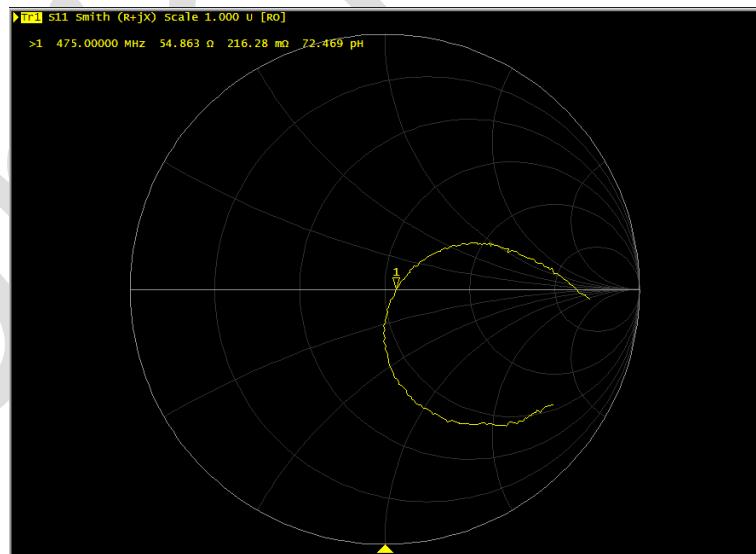
实际的匹配元件取值为：

$$C_1 = 3pF$$

$$L_1 = 18nH$$

$$C_2 = 20pF$$

$$L_2 = 47nH$$



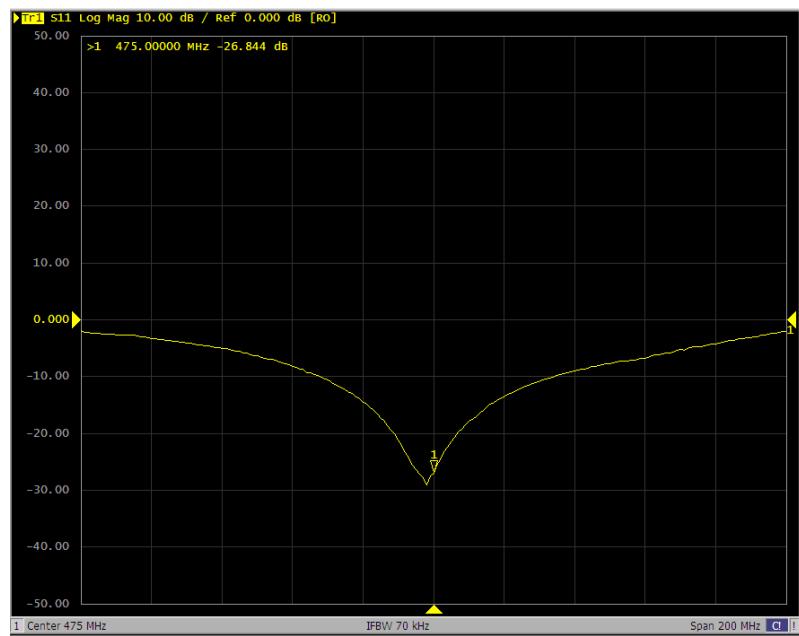


图 4-3: 匹配结果

5 发射匹配调试

为了能够在供电电压 $V_{DD} = 3.3V$ 时获得最大的输出功率和最大的输出效率（最小电流消耗），并满足相关法规对辐射杂散的要求，需要对电路输出进行相应的匹配设计。

UM2010 有发射和接收的功能，发射和接收可以有 3 种不同的连接方式：

1. TX 和 RX 分别为独立的 2 路，使用 2 根天线，分别来进行发射和接收。
2. TX 和 RX 通过一个 RF 开关连接在一起，使用 1 根天线，通过控制开关的方向来控制信号到 TX 或 RX 的走向。
3. TX 和 RX 通过走线直接连接在一起，使用 1 根天线。

在 UM2010 内部的 PA 电路不是传统的 Class A/B/C 类线性功放，使用的是开关 Class E 类功放，可以获得很高的效率，其匹配方法也不同于传统的线性功放。

Class E 匹配主要步骤如下：

1. 选择 L_{CHOKE} (上拉电感) 在 F_0 产生高阻抗负载。
2. 选择 C_0-L_0 (串联谐振电感电容) 谐振在频率 F_0 。
3. 计算 L_X (串联电感)、 C_M (并联电容)，做负载匹配。
4. 设计切比雪夫低通滤波器 (衰减谐波)。

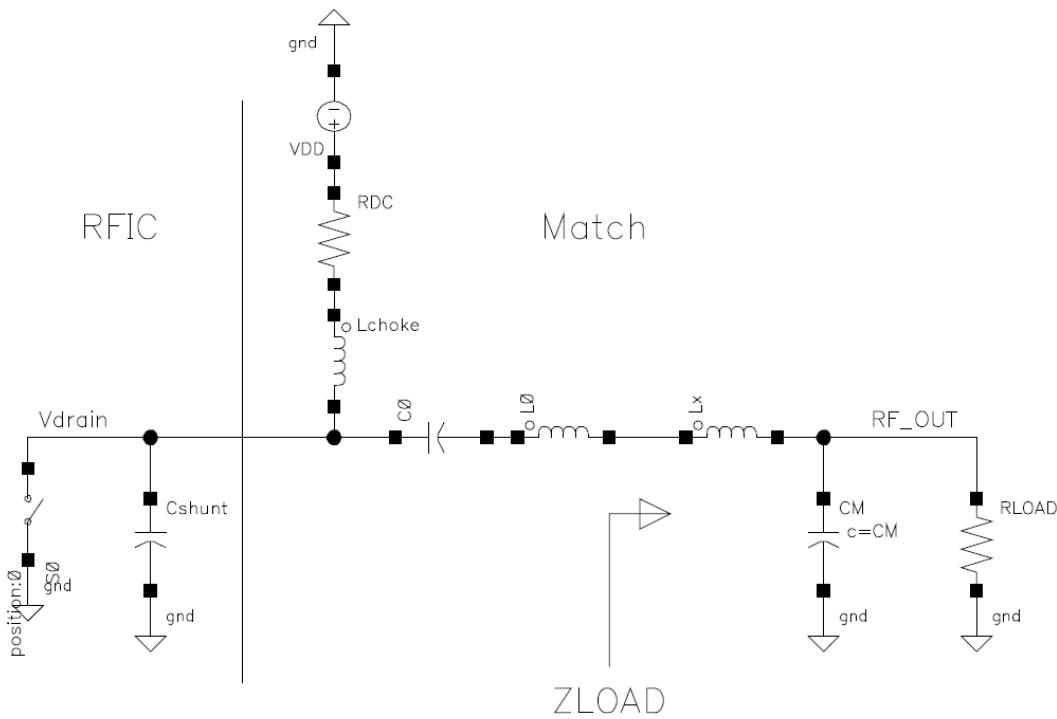


图 5-1: 开关类 PA 电路典型结构

对于 Class-E 开关功放, 上拉电感 L_{CHOKE} 的阻抗理论上在 DC 时为 0, 在其他频率为无穷大。在实际上, 我们可以选择某些电感值以近似达到该效果。在选择 L_{CHOKE} 时, 使其不仅在主频为高阻抗, 在较低阶谐波也为高阻。电感值也不要太大导致其并联谐振频率在主频或超过主频。

串联电容电感 C_0-L_0 使其谐振在主频 F_0 。理论上有很多种 LC 的组合可以谐振在该频率, 在选择元件值时, 取值不要特别大或特别小。同样的在理论上希望 C_0-L_0 在谐振频率阻抗为 0, 在其他频率阻抗为无穷大。在实际应用中可使用高 L/C 值来达到合理近似。为了减少谐振电路的插损, 希望其 Q 值尽量高, 实际元件电感 Q 值要小于电容 Q 值, 取 L_0-C_0 比值时使电感 Q 值最大。一般电感 Q 值随着其取值的增加而增大, 在增大电感时不要超过其自谐振频率。

理论上 Class-E 开关功放, 其要求的负载阻抗 (Z_{LOAD}) 为漏极并联电容 (C_{SHUNT}) 和工作频率 ($\omega_0 = 2\pi F_0$) 的函数。

$$Z_{LOAD} = \left(\frac{0.2815}{\omega_0 C_{SHUNT}} \right) e^{j \times 49.0524^\circ}$$

UM2010 的并联电容约为 2.5pF, 代入公式计算可得:

$$Z_{LOAD} = \left(\frac{0.2815}{2\pi \times 475M \times 2.5pF} \right) e^{j \times 49.0524^\circ} = 24.73 + j28.5\Omega$$

然后计算匹配元件 L_x 和 C_M 的值将天线端阻抗 Z_{ANT} 匹配到所需负载阻抗 Z_{LOAD} 。理想天线负载阻

抗为 $Z_{ANT} = R_{ANT} = 50\Omega$, 可使用 Smith Chart 得 $C_M = 6.77pF$, $L_X = 17.81nH$ 。

串联电感 L_0 和 L_X 可以合并使用一个等效电感 $L_0 + L_X$ 来代替。

匹配网络可以使用贴片绕线电感或贴片叠层电感。绕线电感相较叠层电感有更高的 Q 值及更小的直流电阻，使用绕线电感可以获得更好的性能，但其物料价格也相较叠层电感贵。在实际使用时需综合考虑性能和成本来选择使用哪种电感。

低通滤波选用切比雪夫滤波器，在高频阻带衰减和带内插损取得平衡，设计时通带内波纹设为 0.25dB~0.5dB。

基于成本考虑，我们在设计发射接收连接方式时优先选择第 3 种，即将 TX 和 RX 通过走线直接连接在一起。此情况下的匹配电路典型结构如图 5-2 所示，将接收端的差分匹配巴伦与 TX、RX 路径连接在一起。在该种情况下，我们希望在 TX 模式下，接收匹配电路不会对输出电路产生太大影响；同样的在 RX 模式下，发射匹配电路对接收性能也不要产生太大影响。如图 5-2 所示在芯片内部 LNA 输入端设有开关对 TX、RX 模式进行隔离。

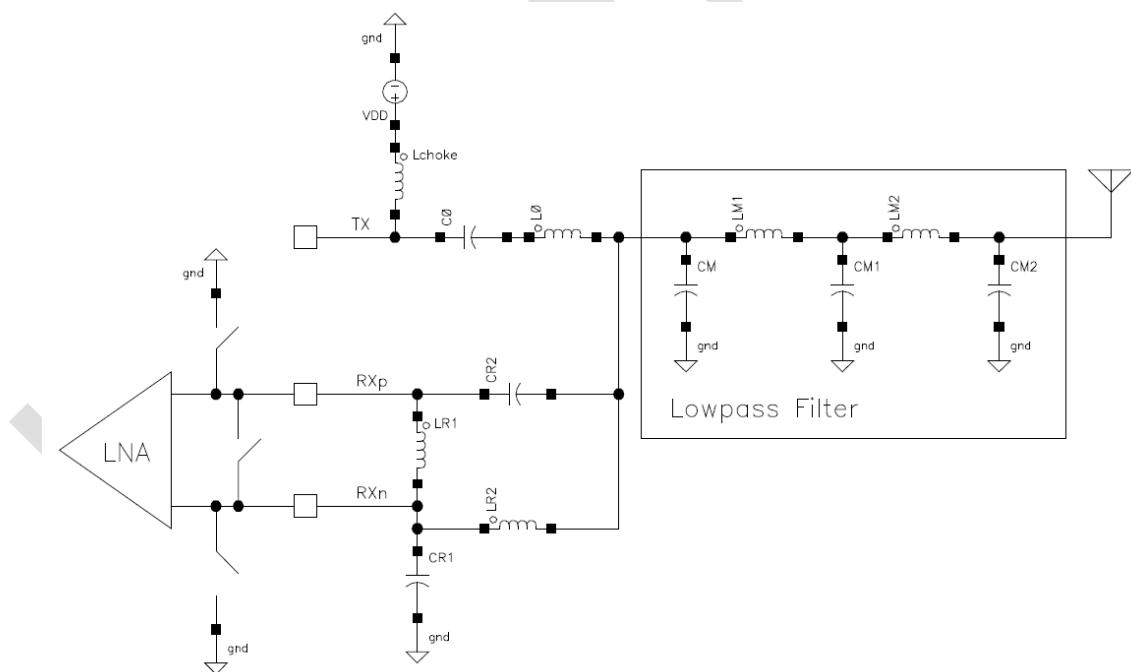


图 5-2: TX、RX 直连匹配典型结构

在 TX 模式时，3 个开关同步闭合，在其他模式时开关断开。其等效电路如图 5-3 所示。此时 L_{R2} 和 C_{R2} 等效并联到地。当选取的 L_{R2} 和 C_{R2} 值谐振在工作频率时，其在 TX 路径上呈现高阻，因此会将接收匹配网络对发射的影响减小。

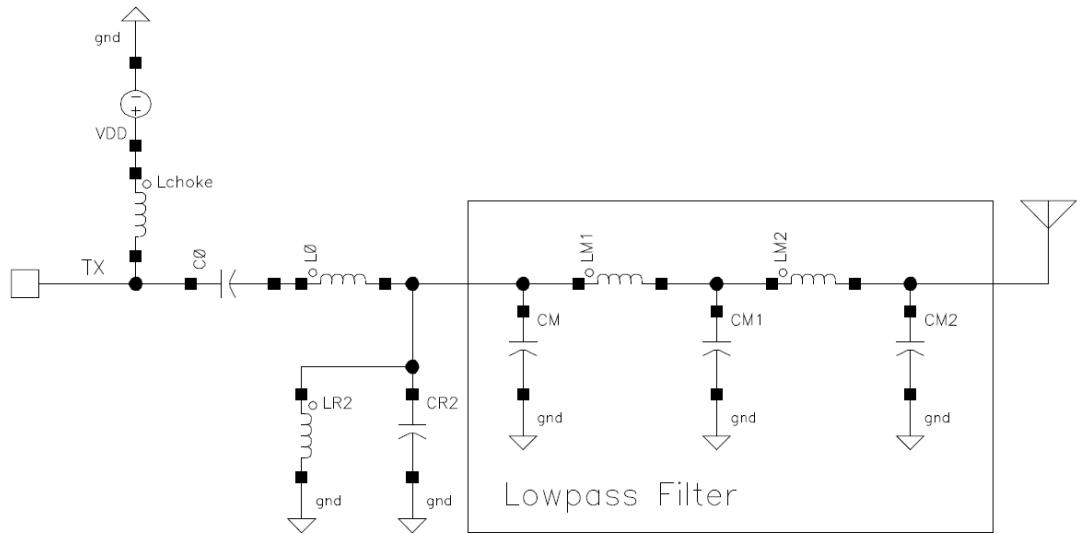


图 5-3: TX 模式等效电路图

在 RX 模式时, PA 输出关闭, 其等效电路图如图 5-4 所示。此时 C_{PAoff} 与 C_0 、 L_0 串联在一起, 在其谐振频率相当于对地短路, 从而影响接收性能。在 C_{PAoff} 固定的情况下, 需要通过调整 C_0 、 L_0 的取值, 在稍微牺牲发射性能的同时降低对接收性能的影响。可调整增大 L_0 的取值来对性能进行优化。

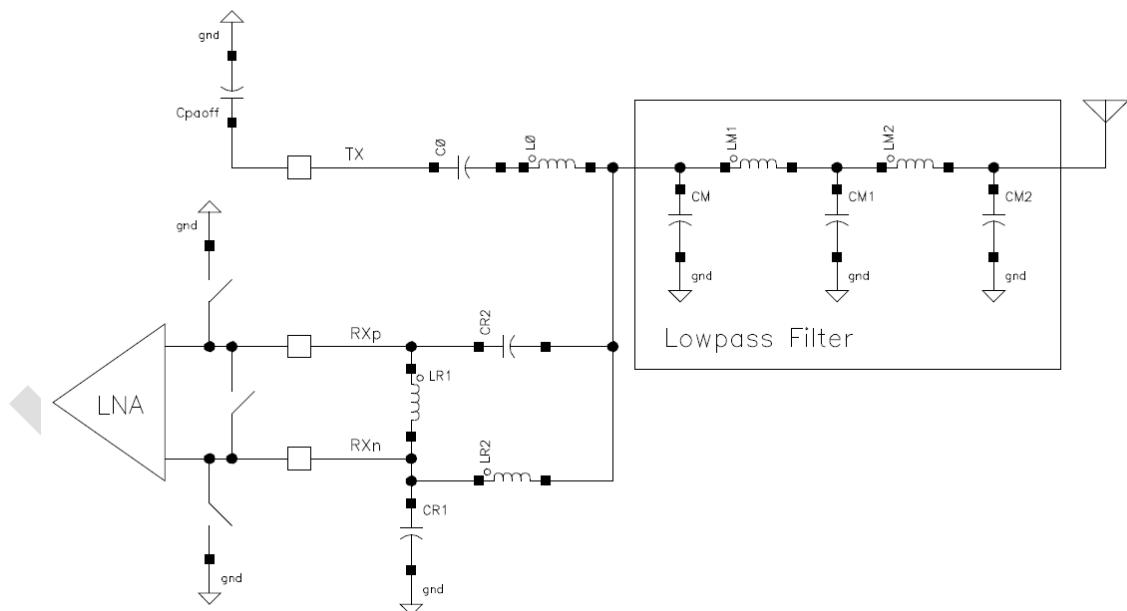


图 5-4: RX 模式等效电路图

6 版本修订

版本	日期	描述
V1.0	2022.05.21	初始版
V1.1	2023.06.28	参考电路图优化。
V1.2	2025.12.28	删除 Buck 模式。