

AN1501

应用笔记

UM2080F32 硬件调试指南

版本: V1.2



广芯微电子（广州）股份有限公司

<http://www.unicmicro.com/>

条款协议

本文档的所有部分，其著作权归广芯微电子（广州）股份有限公司（以下简称广芯微电子）所有，未经广芯微电子授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，广芯微电子及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。
用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，广芯微电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，广芯微电子已尽量做到合理注意，但是，广芯微电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，广芯微电子不承担任何责任。
3. 对于因使用本文档中的广芯微电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，广芯微电子不承担任何责任。本文档所记载的内容不应视为对广芯微电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其他方式的许可及授权。
4. 使用本文档中记载的广芯微电子产品时，应在广芯微电子指定的范围内，特别是在最大额定值、电源工作电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用广芯微电子产品而产生的故障或损失，广芯微电子不承担任何责任。
5. 虽然广芯微电子一直致力于提高广芯微电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，广芯微电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当广芯微电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。

目录

1 概述..... 1

2 典型应用..... 2

2.1 参考原理图..... 2

2.2 参考电路概述..... 3

2.3 物料清单..... 3

2.3.1 +13dBm 匹配参数..... 3

2.3.2 +18dBm 匹配参数..... 4

3 硬件设计..... 6

3.1 PCB Layout..... 6

3.2 Layout 建议..... 7

4 接收匹配调试..... 8

4.1 RX 模式下 LNA 输入阻抗..... 8

4.2 匹配网络结构..... 9

4.3 实际测试调整..... 10

5 发射匹配调试..... 12

6 版本修订..... 16

1 概述

UM2080F32 是广芯微电子（广州）股份有限公司研制的基于 ARM® Cortex®-M0+内核的高性能、单片集成 (G)FSK/OOK 无线收发机的 32 位 SoC 芯片。

芯片内部集成了完整的射频接收机、射频发射机、频率综合器及调制解调器，用户仅需配备简单、低成本的外围器件即可获得良好的收发性能。芯片工作于 200 ~ 960MHz 频段，支持灵活可配置的数据包格式，支持自动应答与自动重发功能，支持跳频操作及 FEC 功能。

此外，芯片内部还集成了 CAN、UART、SPI、QSPI、I2C 等通用外围通信接口，12 位 SAR ADC、OPA、COMP 等传感采集与模拟前端资源，以及 LPTIMER、RTC、WDT 等低功耗时基与系统管理模块。芯片内置 RC 高频和低频振荡器。

芯片系统采用独特的低功耗设计技术，具有高集成度、高抗干扰性、高可靠性与低功耗等技术特点。支持 Keil MDK 集成开发环境，支持 C 语言和汇编语言进行软件开发。

2 典型应用

2.1 参考原理图

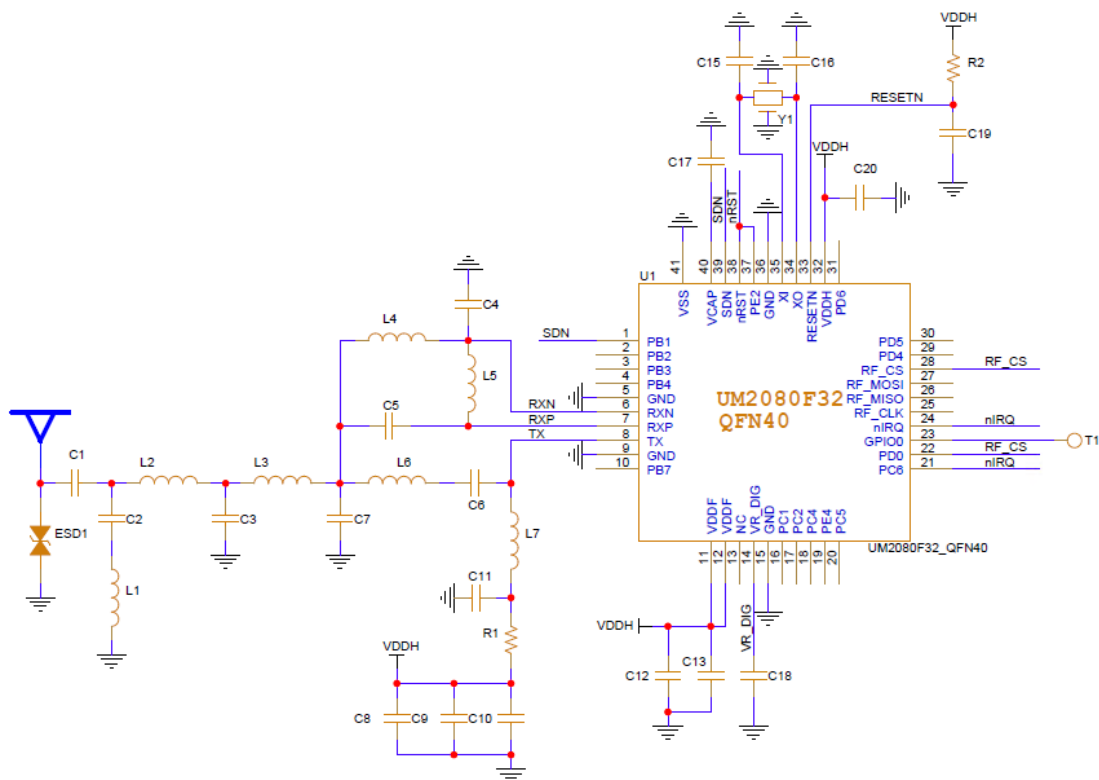


图 2-1: 参考原理图

注:

- SDN 为 RF 关断引脚，高电平为关断。若应用中需要控制 RF 关断/唤醒，必须提供固定电平。若应用不需要独立关断控制 RF，可接固定低电平
- nRST 为 RF 复位引脚，低电平为复位状态。若应用需要控制 RF 复位，可连接 MCU GPIO 控制电平进行 RF 复位；若应用不需要独立控制复位，可接固定高电平或者悬空（内部默认上拉）
- 芯片关断时，SDN、GPIO0、nRST（GPIO2）、RF_CS、RF_CLK、RF_MOSI、RF_MISO 处于高阻状态
- 芯片睡眠时，SDN、RF_CS、RF_CLK、RF_MOSI 为输入，RF_MISO 为输出低电平。GPIO0、GPIO2 方向保持，若为输出，则输出低电平
- ESD1 为 ESD 保护管，可根据应用要求决定是否保留

2.2 参考电路概述

- L7 为扼流电感
- C8 ~ C13 为电源退耦电容，用于减小 PA 输出对电源的影响。应根据实际应用需求做适当调整
- C6 为隔直电容，与 L6 的部分电感在工作频点形成谐振，起谐波抑制作用
- 图 2-1 标识的 A 点为直连点，该点阻抗为 50Ω
- L6、C7、C6 组成 TX 匹配网络，实现 PA 输出与直连点之间的阻抗匹配
- L4、L5、C4、C5 组成 RX 巴伦匹配网络，实现接收机输入阻抗与直连点阻抗匹配，并使接收信号到达差分输入端 RXP 和 RXN 时幅度相等、相位相差 180°
- L1、L2、L3、C1、C2、C3 构成 $50 \sim 50\Omega$ 的切比雪夫低通滤波匹配网络
- Y1 推荐选用频率容差为 $\pm 10\text{ppm}$ 的 26MHz 晶体，可接受的晶体频率容差取决于用户产品通信系统的要求，如频率、信道、带宽等
- C15、C16 为晶振负载电容，根据实际晶振型号取值

2.3 物料清单

2.3.1 +13dBm 匹配参数

表 2-1: +13dBm 参数表

位号	描述	元件值				单位
		315	433	868	915	MHz
C1	$\pm 5\%$, 0402, NPO, 50V, YAGEO	-	20	-	-	pF
	$\pm 5\%$, 0402, 贴片电阻, YAGEO	0	-	-	-	Ω
	$\pm 5\%$, 0402, 贴片高频电感, Sunlord	-	-	5.6	5.6	nH
C2	$\pm 5\%$, 0402, NPO, 50V, YAGEO	5	2.7	2.7	2.7	pF
C3	$\pm 5\%$, 0402, NPO, 50V, YAGEO	8.2	8.2	5	5	pF
C4	$\pm 5\%$, 0402, NPO, 50V, YAGEO	4.7	8.2	2	2	pF
C5	$\pm 5\%$, 0402, NPO, 50V, YAGEO	5.6	3	2	2	pF
C6	$\pm 5\%$, 0402, NPO, 50V, YAGEO	8.2	5.6	4.7	4.7	pF
C7	$\pm 5\%$, 0402, NPO, 50V, YAGEO	3.3	3	3	3	pF

位号	描述	元件值				单位
		315	433	868	915	MHz
C8	±10%, 0402, X7R, 50V, YAGEO	470	470	470	470	pF
C9	±10%, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C10	±10%, 0402, X7R, 50V, YAGEO	2.2	2.2	2.2	2.2	μF
C11	±10%, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C12	±10%, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C13	±10%, 0603, X7R, 50V, YAGEO	10	10	10	10	μF
C15	±5%, 0402, NPO, 50V, YAGEO	20	20	20	20	pF
C16	±5%, 0402, NPO, 50V, YAGEO	20	20	20	20	pF
C17	±10%, 0603, X7R, 50V, YAGEO	4.7	4.7	4.7	4.7	μF
C18	±10%, 0402, X7R, 50V, YAGEO	10	10	10	10	nF
C19	±10%, 0402, X7R, 50V, YAGEO	1	1	1	1	μF
C20	±10%, 0402, X7R, 50V, YAGEO	1	1	1	1	μF
L1	±5%, 0402, 贴片高频电感, Sunlord	12	10	2.7	2.7	nH
L2	±5%, 0603, 贴片高频电感, Sunlord	47	33	10	10	nH
L3	±5%, 0603, 贴片高频电感, Sunlord	68	39	8.2	8.2	nH
L4	±5%, 0402, 贴片高频电感, Sunlord	68	33	12	12	nH
L5	±5%, 0402, 贴片高频电感, Sunlord	82	33	12	12	nH
L6	±5%, 0603, 贴片高频电感, Sunlord	56	33	12	12	nH
L7	±5%, 0402, 贴片高频电感, Sunlord	220	180	100	100	nH
R1	±5%, 0402, 贴片电阻, YAGEO	4.7	4.7	4.7	4.7	Ω
R2	±10%, 0402, 贴片电阻, YAGEO	4.7	4.7	4.7	4.7	kΩ
Y1	±10ppm, 12pF, SMD3225-4P	26	26	26	26	MHz
ESD1	ESD 保护管	-	-	-	-	-

2.3.2 +18dBm 匹配参数

表 2-2: +18dBm 参数表

位号	描述	元件值				单位
		315	433	868	915	MHz
C1	±5%, 0402, NPO, 50V, YAGEO	-	20	-	-	pF
	±5%, 0402, 贴片高频电感, Sunlord	27	-	5.6	5.6	nH
C2	±5%, 0402, NPO, 50V, YAGEO	5	2.7	2.7	2.7	pF
C3	±5%, 0402, NPO, 50V, YAGEO	8.2	8.2	5	5	pF

位号	描述	元件值				单位
		315	433	868	915	MHz
C4	±5%, 0402, NPO, 50V, YAGEO	4.7	8.2	2	2	pF
C5	±5%, 0402, NPO, 50V, YAGEO	5.6	3	2	2	pF
C6	±5%, 0402, NPO, 50V, YAGEO	8.2	5.6	3.9	3.9	pF
C7	±5%, 0402, NPO, 50V, YAGEO	3.3	3	5	5	pF
C8	±10%, 0402, X7R, 50V, YAGEO	470	470	470	470	pF
C9	±10%, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C10	±10%, 0402, X7R, 50V, YAGEO	2.2	2.2	2.2	2.2	μF
C11	±10%, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C12	±10%, 0402, X7R, 50V, YAGEO	100	100	100	100	nF
C13	±10%, 0603, X7R, 50V, YAGEO	10	10	10	10	μF
C15	±5%, 0402, NPO, 50V, YAGEO	20	20	20	20	pF
C16	±5%, 0402, NPO, 50V, YAGEO	20	20	20	20	pF
C17	±10%, 0603, X7R, 50V, YAGEO	4.7	4.7	4.7	4.7	μF
C18	±10%, 0402, X7R, 50V, YAGEO	10	10	10	10	nF
C19	±10%, 0402, X7R, 50V, YAGEO	1	1	1	1	μF
C20	±10%, 0402, X7R, 50V, YAGEO	1	1	1	1	μF
L1	±5%, 0402, 贴片高频电感, Sunlord	12	10	2.7	2.7	nH
L2	±5%, 0603, 贴片高频电感, Sunlord	47	33	10	10	nH
L3	±5%, 0603, 贴片高频电感, Sunlord	22	22	8.2	8.2	nH
L4	±5%, 0402, 贴片高频电感, Sunlord	68	33	12	12	nH
L5	±5%, 0402, 贴片高频电感, Sunlord	82	33	12	12	nH
L6	±5%, 0603, 贴片高频电感, Sunlord	33	22	8.2	8.2	nH
L7	±5%, 0402, 贴片高频电感, Sunlord	220	180	100	100	nH
R1	±5%, 0402, 贴片电阻, YAGEO	4.7	4.7	4.7	4.7	Ω
R2	±10%, 0402, 贴片电阻, YAGEO	4.7	4.7	4.7	4.7	kΩ
Y1	±10ppm, 12pF, SMD3225-4P	26	26	26	26	MHz
ESD1	ESD 保护管	-	-	-	-	-

3 硬件设计

3.1 PCB Layout

UM2080F32采用收发一体化设计，发射与接收共用同一根天线，在不会显著影响收发性能的前提下，相比使用独立的收发通道，结构更紧凑，成本更低。通过调整芯片外接的匹配及滤波元器件，可获得较佳的发射与接收性能。图 3-1中PCB采用2层板设计，黑色框1为滤波电路，可有效抑制各次谐波，满足认证要求；芯片内部接收电路采用差分设计，以有效提高接收性能，黑色框2为接收匹配巴伦部分，黑色框3为发射匹配元件（L6、C12、L7）及RF部分电源滤波元件。

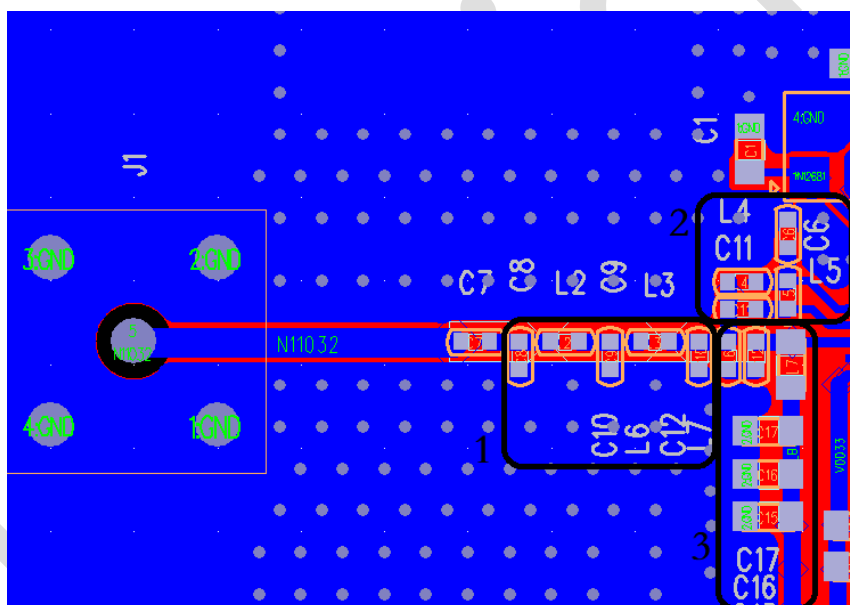


图 3-1: PCB Layout 应用参考

RF部分匹配的优劣直接决定PCB线路板的RF性能的好坏。在进行PCB布线时，匹配元件应尽量靠近芯片引脚且排列紧凑，以减小PCB走线寄生参数的影响，如图 3-2 所示。SMA接头连接走线应做好阻抗控制，采用 50Ω CPW走线。RF部分滤波电容应尽量靠近芯片TX引脚。RF走线两侧应保证完整的接地平面，并通过过孔与芯片底部接地焊盘及底层完整地平面相接。

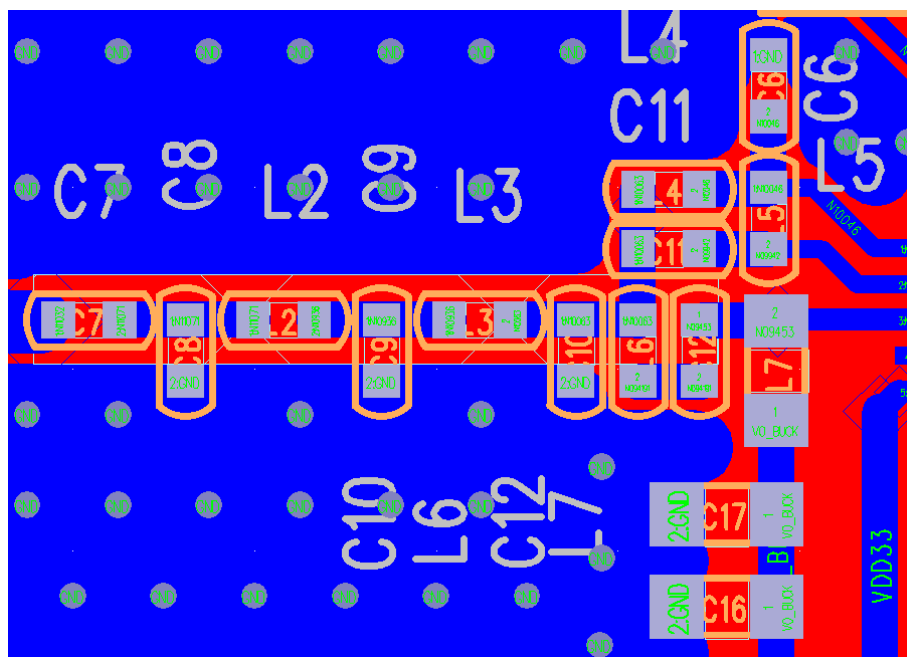


图 3-2: RF 部分走线示意图

3.2 Layout 建议

- 使用外部晶振时，晶振应靠近芯片 XI/XO 引脚放置，晶振与芯片引脚的连线不宜过长。晶振周围应保持良好的接地面，不应走高频信号线。晶振下方需保留完整的接地面，不应有走线从晶振下方穿过
- 使用 QFN40 封装芯片时，底部焊盘应通过过孔与 GND Plane 连接。过孔孔径可适当增大，以提高焊接可靠性
- 所有接地引脚应尽量位于同一完整地平面上，或通过过孔与完整地平面相连
- 电源滤波电容应尽量靠近芯片引脚，电源走线路径应经由电容后连接至芯片引脚，需符合 PCB Layout 走线规范。可在电源线靠近滤波电容处增加磁珠或其他滤波器件，以提高电源稳定性

4 接收匹配调试

4.1 RX 模式下 LNA 输入阻抗

在接收模式下，使用网络分析仪直接测量 UM2080F32 差分输入引脚 RXP / RXN 的输入阻抗，结果如图 4-1 所示。

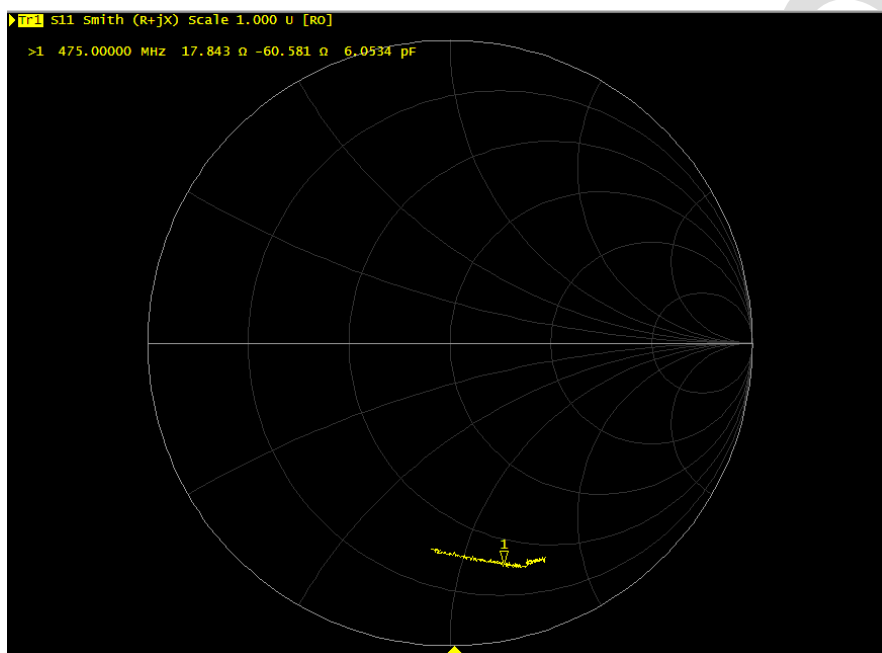


图 4-1：测量输入阻抗

测量时需将网络分析仪的输出功率设置在-25dBm 以下，以保证 LNA 的输入功率在其线性工作范围内。输入功率过大时会导致所测量的阻抗数据失真。

根据测量得到的阻抗数据，可将 LNA 的输入阻抗等效为一个电阻 R_{LNA} 与一个电容 C_{LNA} 并联。

将图中的差分输入阻抗 $Z = R + jX$ ，转换为导纳 $Y = \frac{1}{Z} = G + jB$ ，由此可计算出等效的并联输入电阻和电容值 $R_{LNA} = \frac{1}{G}$ ， $C_{LNA} = \frac{B}{2\pi f}$ 。

由图中测量的 S11 数据可计算出在 475MHz 时，等效电阻 $R_{LNA} = 223.55\Omega$ ，电容 $C_{LNA} = 5.09pF$ 。

4.2 匹配网络结构

为获得较佳的接收性能，设计中采用 4 元匹配网络，如图 4-2 所示。该 4 元匹配网络可在 RXP 和 RXN 之间产生理想的 180°相位差，有效改善 LNA 转换增益与接收灵敏度。

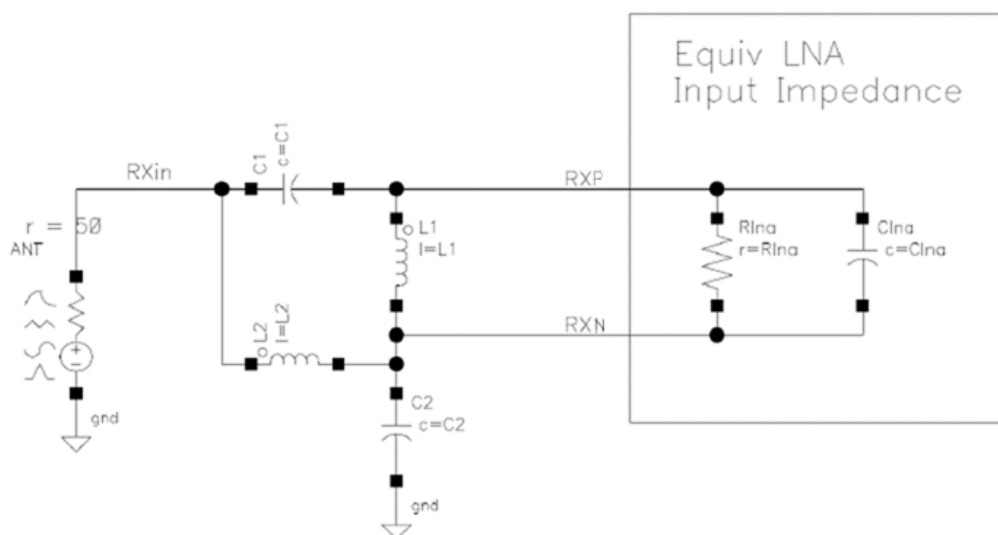


图 4-2: 匹配网络

若将输入阻抗匹配至 $Z_{IN} = 50\Omega$ ，则输入阻抗仅含实部；此时输入电流 I_{IN} 仅含实部。该输入电流通过 C2 在 RXN 节点处产生电压 V_{RXN} ，该电压 V_{RXN} 相对于输入信号有 -90° 相移。由于差分输入要求 RXP 和 RXN 之间电压幅度相等、相位相反，若 V_{RXN} 相位为 -90°，则 V_{RXP} 相位必须为 +90°。由于 LNA 输入阻抗并非纯电抗，通过 LNA 网络的电流与通过 C2 产生的电流存在差异，使得相位并非严格为 -90°。常规巴伦使用 3 个元件 L1、C1、C2，此时 LNA 两端的相位无法达到所需的反相。引入 L2 对相位进行补偿，使 LNA 差分输入端电压保持反相。

可通过如下公式对元件值进行计算：

$$L_2 = \frac{\sqrt{50\Omega \times R_{LNA}}}{\omega_{RF}}$$

$$C_1 = \frac{1}{\omega_{RF}^2 L_2}$$

$$C_2 = 2 \times C_1$$

$$L_{LNA} = \frac{1}{\omega_{RF}^2 C_{LNA}}$$

$$L_M = 2 \times L_2$$

$$L_1 = \frac{L_{LNA} L_M}{L_{LNA} + L_M}$$

使用上述公式，可计算得到在 433MHz，4 元匹配网络元件的参数如下：

$$C_1 = 3.17pF$$

$$L_1 = 16.84nH$$

$$C_2 = 6.34pF$$

$$L_2 = 35.44nH$$

4.3 实际测试调整

以上述理论计算值作为参考，实际选取该值附近的标称电感和电容。由于实际 PCB 布局走线引入的寄生参数影响，实际元件值还需在此基础上进行调整。

在接收模式下，通过在测试板上调整参数，使用网络分析仪测量的 S11 结果如图 4-3 所示。

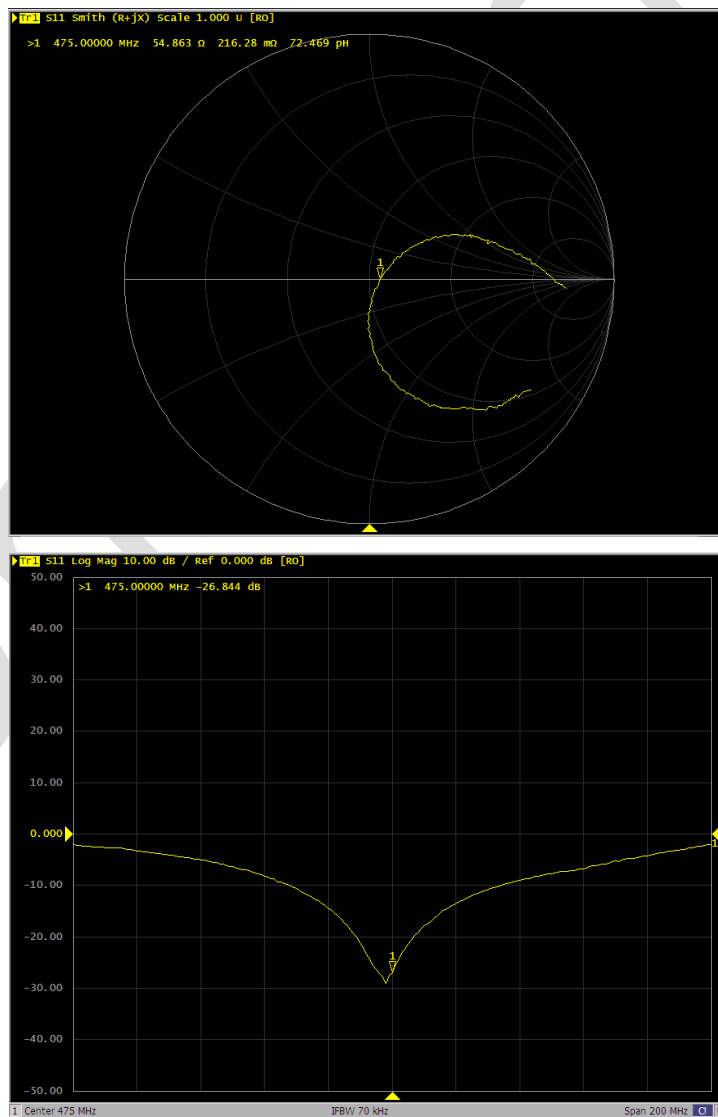


图 4-3：匹配结果

实际匹配元件取值为：

$$C_1 = 3pF$$

$$L_1 = 18nH$$

$$C_2 = 20pF$$

$$L_2 = 47nH$$

5 发射匹配调试

为在供电电压 $V_{DD} = 3.3V$ 下获得最大输出功率和最高输出效率（即最小电流消耗），并满足相关法规对辐射杂散的要求，需对电路输出进行相应的匹配设计。

UM2080F32 具备发射与接收的功能，发射与接收支持 3 种不同的连接方式。

- TX 和 RX 分别为独立的 2 路，使用 2 根天线分别进行发射和接收
- TX和RX通过一个RF开关连接，使用1根天线，通过控制开关方向来切换信号至TX或RX的路径
- TX 和 RX 通过走线直接连接，使用 1 根天线

UM2080F32 内部的 PA 电路并非传统的 Class A/B/C 类线性功放，而是采用开关型 Class E 类功放，可获得很高的效率，其匹配方法也不同于传统的线性功放。

Class E 匹配主要步骤如下：

1. 选择 L_{CHOKE} （上拉电感），使其在 F_0 产生高阻抗负载。
2. 选择 C_0-L_0 （串联谐振电感电容），使其谐振在频率 F_0 。
3. 计算 L_X （串联电感）和 C_M （并联电容），进行负载匹配。
4. 设计切比雪夫低通滤波器（衰减谐波）。

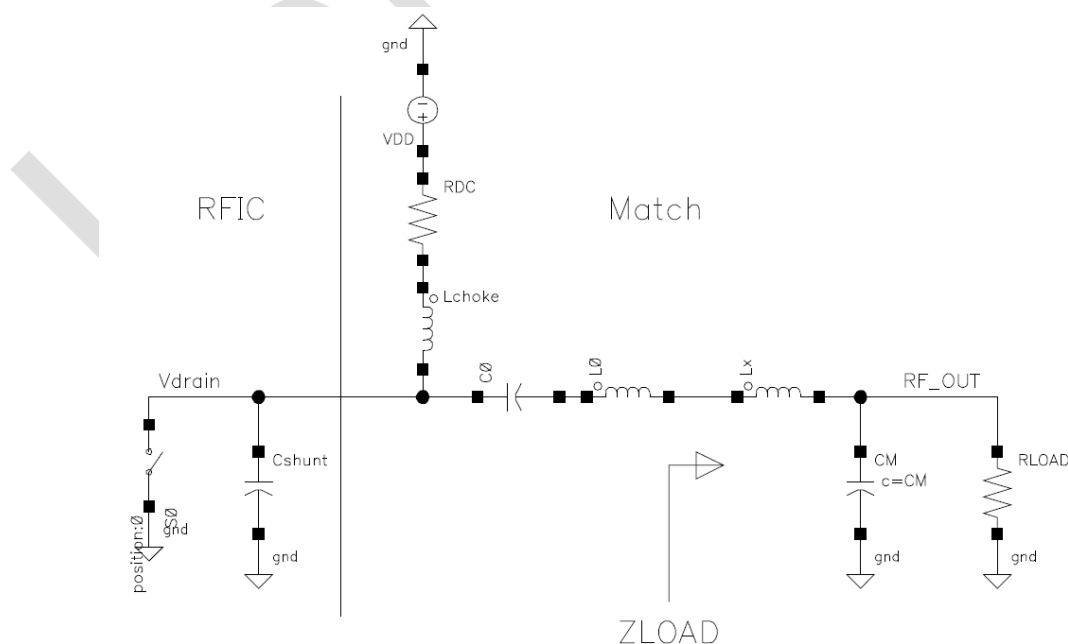


图 5-1：开关类 PA 电路典型结构

对于 Class-E 开关功放，上拉电感 L_{CHOKe} 的阻抗理论上在 DC 时为 0，在其他频率为无穷大。实际上，选择特定电感值以近似实现该效果。选择 L_{CHOKe} 时，应使其不仅在主频处呈现高阻抗，在较低阶谐波处也呈现高阻抗。电感值也不宜过大，以免其并联谐振频率在主频或超过主频。

串联电容电感 C_0-L_0 使其谐振在主频 F_0 。理论上有很多种 LC 组合可谐振在该频率，在选择元件值时，取值不宜过大或过小。同样，理论上期望 C_0-L_0 在谐振频率阻抗为 0，在其他频率阻抗为无穷大。实际应用中可使用高 L/C 值实现合理近似。为减小谐振电路的插损，希望其 Q 值尽量高，实际元件电感 Q 值通常小于电容 Q 值，取 L_0-C_0 比值时应使电感 Q 值最大化。通常电感 Q 值随取值的增大而增大，但增大电感时不应超过其自谐振频率。

理论上 Class-E 开关功放，其要求的负载阻抗 (Z_{LOAD}) 为漏极并联电容(C_{SHUNT})和工作频率 ($\omega_0 = 2\pi F_0$)的函数。

$$Z_{LOAD} = \left(\frac{0.2815}{\omega_0 C_{SHUNT}} \right) e^{j \times 49.0524^\circ}$$

UM2080F32 的并联电容约为 2.5pF，代入公式计算可得：

$$Z_{LOAD} = \left(\frac{0.2815}{2\pi \times 475M \times 2.5pF} \right) e^{j \times 49.0524^\circ} = 24.73 + j28.5\Omega$$

然后计算匹配元件 L_X 和 C_M 的值，将天线端阻抗 Z_{ANT} 匹配到所需负载阻抗 Z_{LOAD} 。理想天线负载阻抗为 $Z_{ANT} = R_{ANT} = 50\Omega$ ，可使用 Smith Chart 获取 $C_M = 6.77pF$ ， $L_X = 17.81nH$ 。

串联电感 L_0 和 L_X 可合并为一个等效电感 $L_0 + L_X$ 。

匹配网络可采用贴片绕线电感或贴片叠层电感。绕线电感相比叠层电感具有更高的 Q 值及更小的直流电阻，使用绕线电感可获得更好的性能，但其成本也相对较高。在实际使用时需综合考虑性能与成本来选择合适的电感类型。

低通滤波器选用切比雪夫滤波器，在高频阻带衰减与带内插损之间取得平衡，设计时通带内波纹设为 0.25 ~ 0.5dB。

基于成本考虑，在设计发射接收连接方式时优先选择第 3 种，即将 TX 和 RX 通过走线直接连接。此情况下匹配电路典型结构如图 5-2 所示，将接收端的差分匹配巴伦与 TX、RX 路径连接。在此情况下，TX 模式接收匹配电路不对输出电路产生过大影响；同样，RX 模式发射匹配电路也

不应接收性能产生过大影响。如图 5-2 所示，芯片内部 LNA 输入端设有开关，对 TX、RX 模式进行隔离。

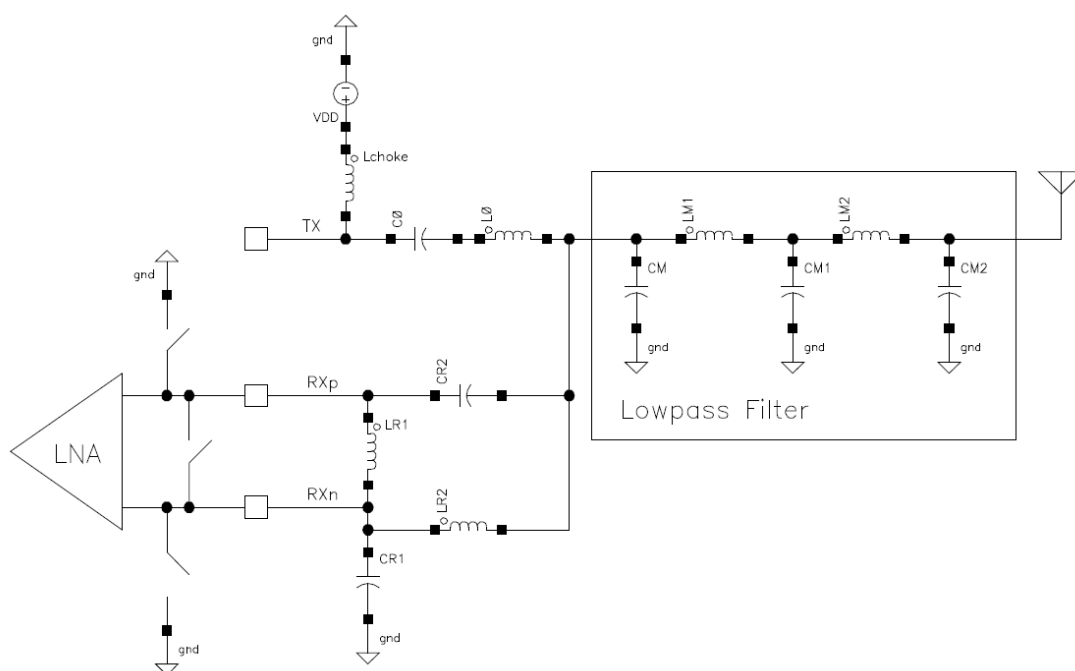


图 5-2: TX、RX 直连匹配典型结构

在 TX 模式时，3 个开关同步闭合，非 TX 模式时开关断开。其等效电路如图 5-3 所示。此时 L_{R2} 和 C_{R2} 等效并联到地。当选取的 L_{R2} 和 C_{R2} 值谐振在工作频率时，其在 TX 路径上呈现高阻抗，从而减小接收匹配网络对发射性能的影响。

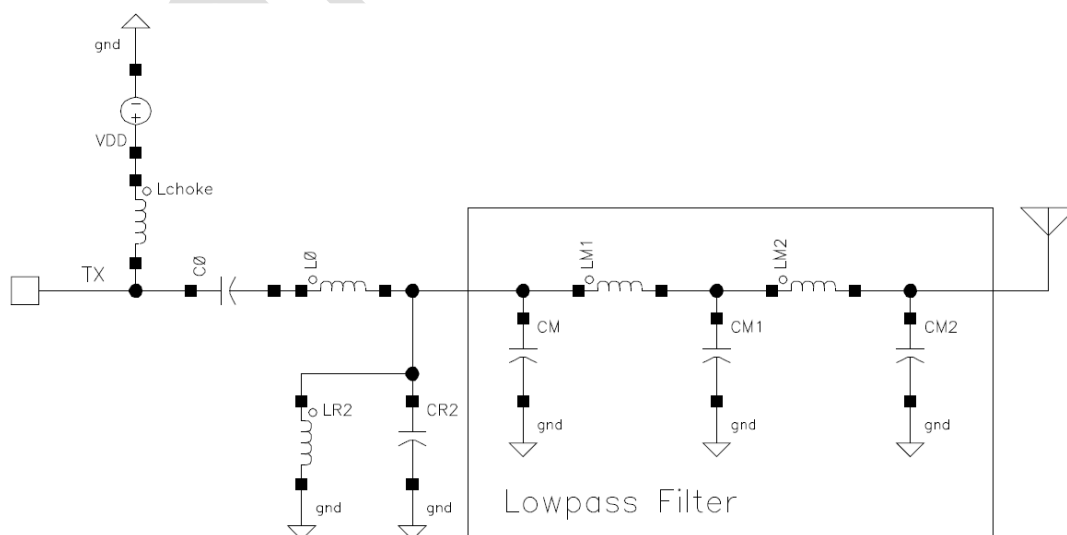


图 5-3: TX 模式等效电路图

在 RX 模式时，PA 输出级关闭，其等效电路如图 5-4 所示。此时 C_{PAoff} 与 C_0 、 L_0 串联在一起，在其谐振频率处相当于对地短路，从而影响接收性能。在 C_{PAoff} 固定的情况下，需通过调整 C_0 、 L_0 的取值，在略微牺牲发射性能的同时降低对接收性能的影响。可通过适当增大 L_0 的取值来优化整体性能。

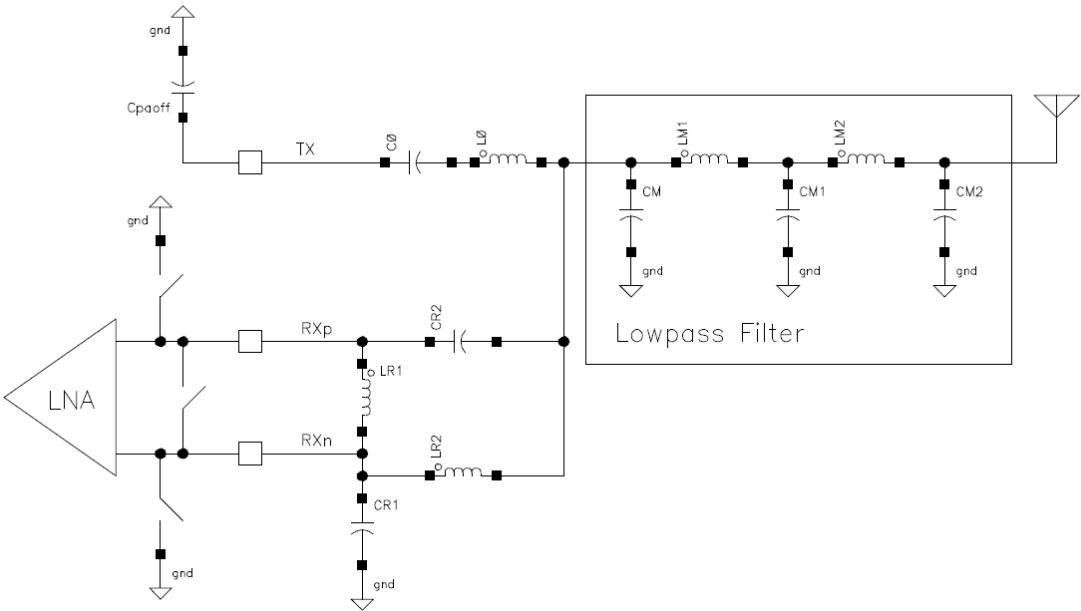


图 5-4：RX 模式等效电路图

6 版本修订

版本	日期	描述
V1.0	2022.07.20	初始版
V1.1	2023.10.16	更新应用参考原理图章节
V1.2	2026.07.09	更新参考图及匹配参数