

AN2006

应用笔记

UM32G131 硬件设计手册

版本: V1.0



广芯微电子（广州）股份有限公司

<http://www.unicmicro.com/>

条款协议

本文档的所有部分，其著作权归广芯微电子（广州）股份有限公司（以下简称广芯微电子）所有，未经广芯微电子授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，广芯微电子及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。
用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，广芯微电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，广芯微电子已尽量做到合理注意，但是，广芯微电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，广芯微电子不承担任何责任。
3. 对于因使用本文档中的广芯微电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，广芯微电子不承担任何责任。本文档所记载的内容不应视为对广芯微电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其他方式的许可及授权。
4. 使用本文档中记载的广芯微电子产品时，应在广芯微电子指定的范围内，特别是在最大额定值、电源工作电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用广芯微电子产品而产生的故障或损失，广芯微电子不承担任何责任。
5. 虽然广芯微电子一直致力于提高广芯微电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，广芯微电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当广芯微电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。

目录

1	概述.....	1
2	产品简介.....	2
3	电源.....	3
4	复位和电源监控器.....	4
4.1	系统复位源.....	4
4.2	外部复位电路设计.....	4
5	时钟电路.....	5
5.1	外部时钟电路设计.....	5
5.2	外部晶体振荡器选型.....	6
6	CAN 电路设计.....	7
6.1	概述.....	7
6.2	参考电路设计.....	7
7	调试管理.....	8
7.1	概述.....	8
7.2	SWD 在线调试 / 下载.....	8
7.3	SWD 内部上拉和下拉电阻.....	8
7.4	标准 SWD 端口连接.....	9
8	封装.....	10
9	BOM.....	11
10	PCB 设计.....	13
10.1	概述.....	13
10.2	叠层设计.....	13
10.3	PCB 布局.....	15
10.4	通用 PCB 设计规范.....	15
10.4.1	时钟电路 PCB 设计.....	15
10.4.2	复位电路 PCB 设计.....	16
10.4.3	电源与 GND 设计.....	16
11	版本修订.....	18

1 概述

本应用手册以 UM32G131_EVB 为基础,为硬件系统设计人员提供 UM32G131 硬件设计的概述与要求,包括电源、时钟管理、复位控制、启动模式设置和调试管理等。

本手册说明了如何使用 UM32G131 系列微控制器,并介绍了使用该产品开发应用程序所需的最低硬件资源。此外,本手册还包含详细的参考设计原理图、PCB 设计要点以及主要组件、接口和模式的说明。

2 产品简介

UM32G131 系列芯片是广芯微电子（广州）股份有限公司（以下简称广芯微）研制的基于 ARM® Cortex®-M0+内核的超低功耗、Low Pin Count、宽电压工作范围的 32 位 IoT 处理器 SoC 芯片系列，重点面向物联网行业便携式传感测量系统及工业控制等应用场景。依据具体应用需求，芯片系统采用了独特的低功耗设计技术，内部集成了 12 位 SAR ADC、UART、SPI、I2C 等通用通信接口，ADC、OPA、COMP 等传感获取接口，LPUART、LPTIMER、WDT 等超低功耗模块接口，以及 AES、DIV 除法器硬件算法模块。该系列芯片具有高集成度、高抗干扰性、高可靠性和超低功耗等技术特点。芯片内置 RC 高频和低频振荡器，支持免晶振应用。同时支持 Keil MDK 集成开发环境，支持 C 语言和汇编语言进行软件开发。

应用场景：

- 工业物联网应用
- 智能交通、智慧城市、智能家居
- 智能门锁、资产追踪、无线监控等智能传感器终端应用
- 电池供电应用

3 电源

UM32G131 系列芯片工作电压 (VDDH) 范围为 2.5V ~ 5.5V。

表 3-1: UM32G131 供电要求

工作电压范围	VDDH
最小工作电压	2.5V
最大工作电压	5.5V

- VDDH

VDDH 是整个芯片的供电入口，推荐使用 LDO 单独为 MCU 供电。对于 QFN32 封装的芯片，建议在第 1 脚旁就近放置 $4.7\mu\text{F}$ 和 100nF 陶瓷电容，在第 17 脚旁放置 100nF 陶瓷电容。

- VCAP

VCAP 是芯片内部 LDO 输出脚，引脚旁应就近放置 $4.7\mu\text{F}$ 和 100nF 陶瓷电容。

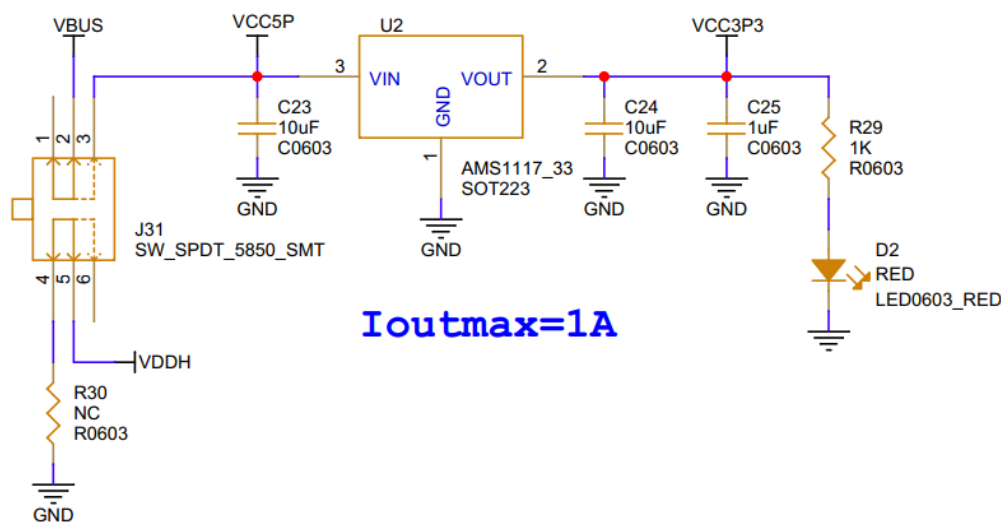


图 3-1: 电源电路参考设计

4 复位和电源监控器

4.1 系统复位源

系统复位源如表 4-1 所示。

表 4-1：系统复位源

复位源	描述
内部模拟 POR 上电复位	复位所有
LVR 复位	
RESETEN 复位	复位除 CPU DEBUG 逻辑外的所有
LOCKUP 复位	复位除 EFC 和 IO 相关以外的其它逻辑
LVD 复位	
WDT	
WWDT	
SOFT_RESETN	
各模块复位	复位对应 IP 模块

4.2 外部复位电路设计

RESET 引脚需要增加 100nF 电容，用于组成 RC 延时电路，同时可消除复位按键动作时产生的信号抖动，增强抗干扰能力，防止误触发导致的系统异常复位。

参考电路中 RESET 信号连接至复位按键和 JTAG 20PIN 标准 IDC 座第 15 脚上。

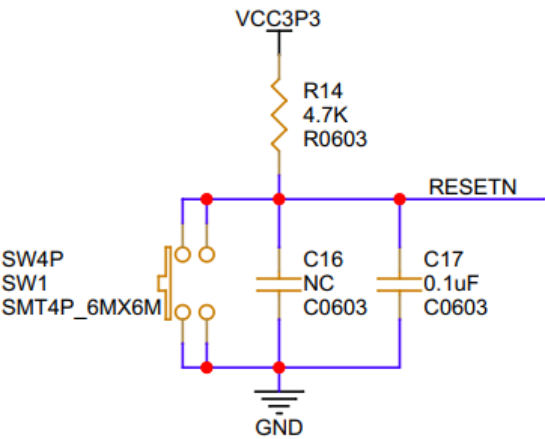


图 4-1：系统复位电路参考设计

5 时钟电路

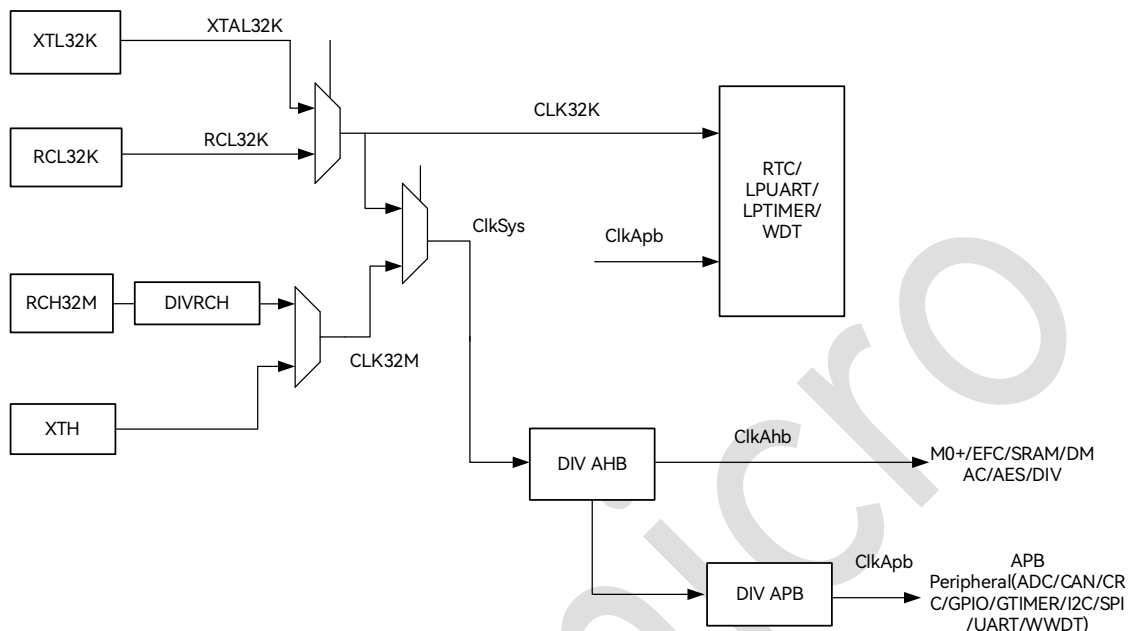


图 5-1: 时钟源

UM32G131 系统存在 4 个时钟源:

- 32MHz 高精度内部时钟 RCH，作为系统时钟源
- 4MHz ~ 24MHz 外部晶振 XTH，作为系统时钟源
- 32kHz 内部时钟 RCL，作为低功耗时钟，可作为系统时钟源
- 32.768kHz 外部晶振 XTL，主要用于提供 RTC 实时时钟，也可作为系统时钟源

5.1 外部时钟电路设计

高速时钟信号可由以下两种时钟源提供输入:

- XTH 外部晶体/陶瓷谐振器
- 用户外部高速时钟输入 (如有源晶振的信号输入)

在 CAN、RTC 等需要高精度时钟信号的应用中，建议使用外部晶体振荡器。

5.2 外部晶体振荡器选型

UM32G131 参考设计使用外部石英晶体振荡器,XTH 频率为 12MHz,XTL 频率为 32.768kHz, XTH 推荐使用的晶振参数请参见表 5-1。

表 5-1：推荐 XTH 晶振参数表

参数	规范		备注
	最小值	最大值	
频率	2MHz	24MHz	-
频率偏差	< 20PPM		推荐使用小于 20PPM 的晶振
负载电容	5pF	20pF	推荐使用 10pF 左右的晶振
激励电平	> 50μW		推荐使用 DL 为 100μW
ESR	< 100Ω		推荐选择小于 100Ω 的晶振

XTL 推荐使用的晶振参数请参见表 5-2。

表 5-2：推荐 XTL 晶振参数表

参数	规范		备注
	最小值	最大值	
频率	32.768kHz		-
频率偏差	< 20PPM		推荐使用小于 20PPM 的晶振
负载电容	5pF	12.5pF	推荐使用小于 12.5pF 的晶振
激励电平	1μW		-
ESR	< 100kΩ		推荐选择小于 100kΩ 的晶振

晶振参考电路设计请参见图 5-2。

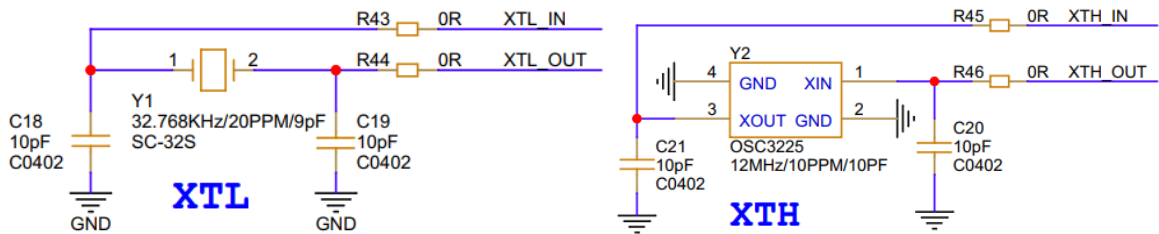


图 5-2：XTL / XTH 晶振参考电路设计

6 CAN 电路设计

6.1 概述

UM32G131 支持 CAN 总线通信，CAN（Controller Area Network）控制器适用于汽车电子和工业控制领域，支持 CAN 2.0A/B 协议。

主要特性：

- 具有优先权和仲裁功能
- 可根据报文的 ID 决定接收或屏蔽该报文
- 可靠的错误处理和检错机制
- 发送的信息遭到破坏后，可自动重发
- 节点在错误严重的情况下具有自动退出总线的功能

6.2 参考电路设计

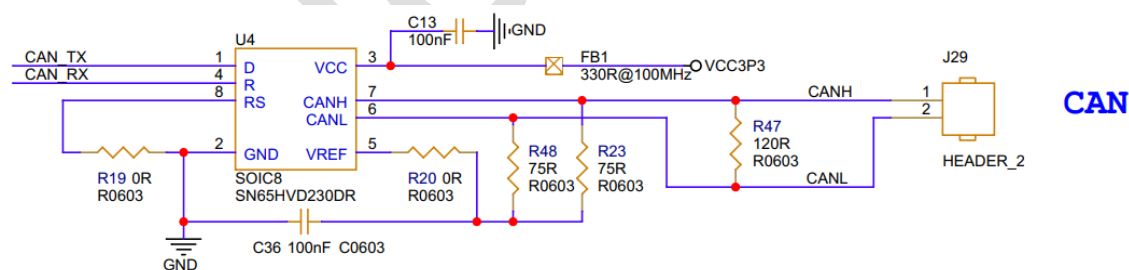


图 6-1: CAN 参考电路设计

UM32G131_EVB 上使用的 CAN 收发器芯片由 TI 生产，型号为 SN65HVD230DR，芯片详细规格请参考 TI 官方网站。

为提高通信可靠性并降低丢包率，推荐使用 12MHz 外部晶振作为主时钟，详情请参见“5 时钟电路”。

7 调试管理

7.1 概述

UM32G131 集成了带硬件调试模块的 Cortex®-M0 内核，支持指令断点（指令取指时停止）和数据断点（数据访问时停止）。

当内核停止时，用户可以查看内核的内部状态和系统的外部状态。用户查询操作完成后，可以恢复内核和外设，继续执行相应的程序。芯片内核的硬件调试模块在连接到调试器时即可使用（在未被禁用的情况下）。

支持以下调试接口：

- 串行接口（两线 SWD）

7.2 SWD 在线调试 / 下载

SWD 接口共有两个引脚用作 SWD 通信，这两个引脚也可作为 GPIO 使用。

表 7-1：调试端口引脚分配

参数	SWD 调试端口		引脚分配
	输入/输出	功能	
SWDIO	I/O	串行线数据输入/输出	PC5
SWCLK	I	时钟信号输入	PC6

7.3 SWD 内部上拉和下拉电阻

SWD 输入引脚不应处于浮空状态，它们直接连接到控制调试模式功能的触发器。

为避免 I/O 电平失控，UM32G131 系列在 SWD 输入引脚上嵌入了内部上拉和下拉电阻：

- SWDIO：内部上拉
- SWCLK：内部下拉

一旦用户软件释放了 SWDIO，GPIO 控制器就会重新开始控制。GPIO 控制寄存器的复位状态会将 I/O 置于以下等效状态：

- SWDIO：输入上拉
- SWCLK：输入下拉

复位后，软件可将这些 I/O 作为配置为标准 GPIO 使用。

7.4 标准 SWD 端口连接

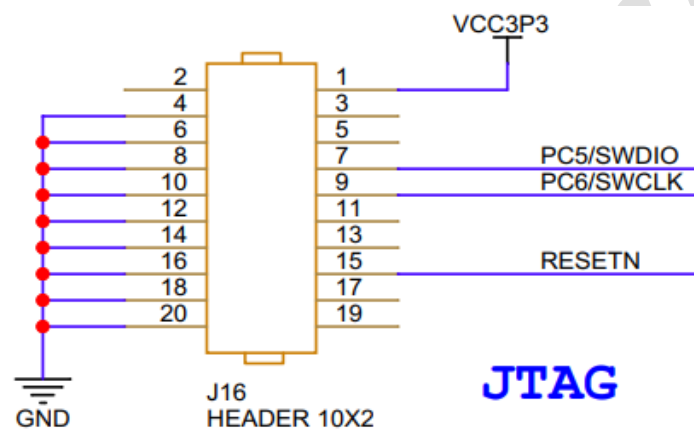


图 7-1: SWD 端口连接

8 封装

UM32G131 提供多种封装供选择，用户应根据实际应用需求进行硬件设计，还可从以下几个方面考虑封装：

- PCB 工艺技术的限制，PIN 间距小和高球密度需要更多的 PCB 层数和更高的 PCB 工艺，制造成本也更高
- 封装的高度限制
- PCB 可用面积与布线的便捷性
- 高速接口的噪声与信号完整性要求，较小的封装通常能提供更好的信号完整性。由于小间距和高引脚密度要求多层 PCB 能更好地分配电源/地平面，从而进一步提高了信号完整性
- IO 接口数量限制，有些封装可能不提供某些接口、或有的封装可能无法提供某些接口的组合
- 公司提供主流 EDA 软件使用的器件封装库，如有需要请联系 FAE

9 BOM

表 9-1: UM32G131_EVB_V02 BOM

位号	规格	原厂型号	封装
C18、C19、C20、C21	10pF $\pm 5\%$ 50V	CL05C100JB5NNNC	0402
C1	4.7 μ F $\pm 10\%$ 25V	CL21A475KAQNNNE	0805
C23、C24、C26	10 μ F $\pm 10\%$ 10V	CL10A106KP8NNNC	0603
C17、C13、C27、C28、C35、C36	100nF $\pm 10\%$ 50V	CC0603KRX7R9BB104	0603
C3、C4、C10	100nF $\pm 10\%$ 16V	CL05B104KO5NNNC	0402
C25、C29	1 μ F $\pm 10\%$ 50V	CL10A105KB8NNNC	0603
C9	4.7 μ F $\pm 20\%$ 10V	CL05A475MP5NRNC	0402
R23、R48	75 Ω $\pm 1\%$ 100mW 厚膜电阻	0603WAF750JT5E	0603
R49、R50	27 Ω $\pm 1\%$ 100mW 厚膜电阻	0603WAF270JT5E	0603
R47	120 Ω $\pm 1\%$ 100mW 厚膜电阻	0603WAF1200T5E	0603
R14、R21、R22	4.7k Ω $\pm 1\%$ 100mW 厚膜电阻	0603WAF4701T5E	0603
R39、R40、R41、R42	0 Ω $\pm 1\%$ 62.5mW 厚膜电阻	0402WGF0000TCE	0402
C37、C33、C34	4.7 μ F $\pm 10\%$ 16V	CL10A475KO8NNNC	0603
R26	100k Ω $\pm 10\%$ 【可调】	3296W-1-104	插件-3P, 9.5x4.9mm
R19、R20	0 Ω $\pm 1\%$ 100mW 厚膜电阻	0603WAF0000T5E	0603
R28、R29	1k Ω $\pm 1\%$ 100mW 厚膜电阻	0603WAF1001T5E	0603
R51、R7	5.1k Ω $\pm 1\%$ 62.5mW 厚膜电阻	0402WGF5101TCE	0402
FB1、FB3、FB4	单路 0603 磁珠阻抗 120 Ω @100MHz	BLM18PG121SN1D	0603

位号	规格	原厂型号	封装
ED3、ED4	双向 ESD 5V 截止	KLXES15AAA1	0402
D2	0603 红灯高亮	KT-0603R	0603
D1	0603 蓝灯	SZYY0603B	0603
Y2	YSX321SL 12MHZ 4P 3225 10PF ±10PPM -40 ~ 85°C (±20PPM)	X322512MMB4SI	SMD3225-4P
Y1	32.768kHz ±20ppm 9pF	SC-32S32.768kHz20PPM9pF	SMD3215-2P
U1	UM32G131-K8U6	UM32G131-K8U6	QFN-32
U2	LDO 输出 3.3V 1A	AMS1117-3.3	SOT-223
U3	USB2.0 芯片 CH340	CH340N	SOP-8
U4	3.3-V CAN 收发器	SN65HVD230DR	SOIC-8
U6	支持双线、四线 SPI 接口的 3V、32Mbit 串行 SPI 闪存	W25Q32JVSSIQ	SOIC-8-208mil
J28	2x4P 间距: 2.54mm 方针 直插 【排针】	PZ254V-12-8P	插件, P=2.54mm
SW1	K2-1102SP-C4SC-04 贴片	K2-1102SP-C4SC-04	SMD-4P, 6x6mm
J5、J17、J18、J20、J22	1x2P 间距: 2.54mm 方针 直插 【排针】	PZ254V-11-02P	插件, P=2.54mm
J29	1x2P 5.08mm 直插 排数: 1 每排 P 数: 2 【螺钉】	WJ500V-5.08-2P	插件, P=5.08mm
T49	2x7P 间距: 2.54mm 方针 直插 【排针】	PZ254V-12-14P	插件, P=2.54mm
J4	1x8P 间距: 2.54mm 直插 【插件】	PM254-1-08-Z-8.5	插件, P=2.54mm
J2	2x2P 间距: 2.54mm 方针 直插	ZX-PZ2.54-2-2PZZ	插件, P=2.54mm
J26	1x14P 间距: 2.54mm 直插 【插件】	PM254-1-14-Z-8.5	插件, P=2.54mm
J23	5.8x5.8mm 贴片按键开关	YTSPS-22E58LM	SMD, 5.8x5.8mm
J30	Type-C 母 卧贴	TYPE-C 16PIN 2MD(073)	SMD
J16	2.54mm 2x10P 排数: 2 每排 P 数: 10	2.54-2*10P 简牛	插件, P=2.54mm
J27	2x20P 间距: 2.54mm 方针直插	P125-1220A0BS116A1	插件, P=2.54mm

10 PCB 设计

10.1 概述

PCB 设计在项目中至关重要。一个优秀的 PCB 设计需要综合考虑信号完整性、合理的布局布线、结构与空间限制、EMC 问题处理、PCB 成本与工艺要求等因素，在要求严格的场合推荐使用四层板及以上的叠层结构，以获得更好的信号完整性和 EMC 性能。但受限于成本与工艺要求，双面板设计在实际中应用广泛，这对设计者提出了更高的要求，需要对电源环路及电源完整性设计、信号完整性、EMC 问题有更深入的认识，在双面板设计中有效规避这些问题，从而设计出一款高可靠性、高可生产性、高可测试性的产品。

10.2 叠层设计

为了保证信号完整性，减少信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗匹配。单端信号线的特性阻抗取决于其线宽以及与参考平面之间的相对位置。特定阻抗要求的差分对的线宽/线距则取决于所选择的 PCB 叠层结构。由于最小线宽和最小线距取决于 PCB 类以及成本要求，并受 PCB 工艺限制，选择的 PCB 叠层结构必须能够实现板上的所有阻抗需求，包括内层和外层、单端和差分信号等。

层的定义设计原则：

- 主芯片相邻层为地平面，提供器件面布线参考平面
- 所有信号层尽可能与地平面相邻
- 尽量避免两信号层直接相邻
- 主电源尽可能与其对应地相邻
- 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称

在进行 PCB 层定义时，应灵活运用以上原则，根据实际的需求确定层的排布。在层定义时，若有相邻布线层，可通过增大相邻布线层间距来降低层间串扰。对于跨分割的情况，应确保关键信号必须具有相对完整的参考地平面或提供必要的桥接措施。实际由于各 PCB 生产厂商的材料与工艺各不相同，具体参数请向 PCB 厂商咨询。

四层板推荐叠层请参见图 10-1。

成品板厚：1.6 外层铜厚：1 内层铜厚：0.5

层名	材料	厚度 (mil)	厚度 (mm)
L1	外层铜厚1oz	1.38	0.0350
PP	3313 RC57% 4.2mil	3.91	0.0994
L2	内层铜厚	0.60	0.0152
芯板	1.3mm H/HOZ 含铜	49.80	1.2650
L3	内层铜厚	0.60	0.0152
PP	3313 RC57% 4.2mil	3.91	0.0994
L4	外层铜厚1oz	1.38	0.0350

图 10-1：四层板叠层结构参考

单端走线 50Ω 阻抗设计请参见图 10-2，如 PCB 无阻抗要求则可忽略此项。

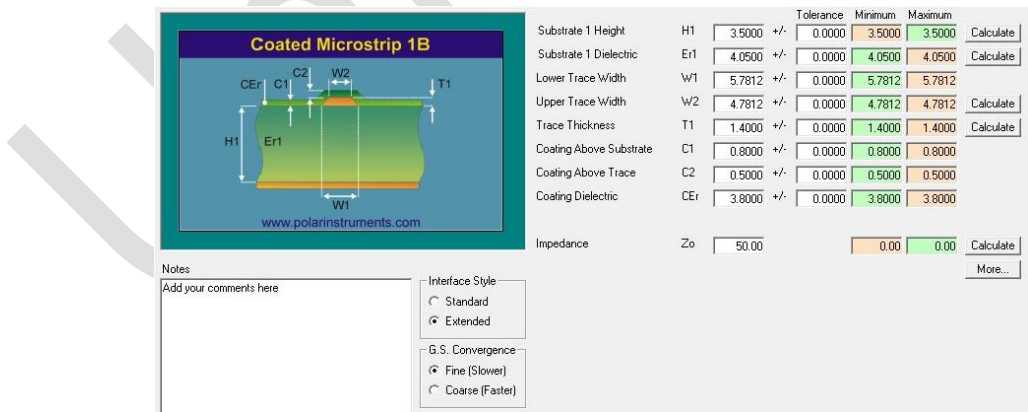


图 10-2：单端走线 50Ω 阻抗设计

10.3 PCB 布局

PCB 布局时，以下电路优先考虑布局优化，以减少干扰增强系统稳定性：

- 大电流电路，规划好大电流的环流路径，如电机、逆变器等应用
- 电源电路，如 AC-DC、DC-DC 变换等电路
- 模拟敏感电路，如小信号 ADC 采样等应用
- 数字电路
- RF 电路，如 WIFI 天线等射频电路
- 其它电路根据电磁干扰的影响而分开布局，以减少 PCB 上产生噪声的交叉耦合

10.4 通用 PCB 设计规范

10.4.1 时钟电路 PCB 设计

在时钟电路的 PCB 设计中，请注意：

- 晶体电路布局需要优先考虑，布局时应与芯片置于同一层并尽量靠近放置以避免打过孔，晶体走线尽可能地短，远离干扰源，并远离板边缘
- 晶体以及时钟信号需要全程包地处理，包地线每隔 200-300mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整
- 晶体电路布局时如果与芯片不同层放置，晶体走线必须全程包地处理，以避免受到干扰
- 时钟走线 Xin 和 Xout 以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体的输出

10.4.2 复位电路 PCB 设计

在 Reset 电路的 PCB 设计中，请注意：

- 在布局时，RESET 复位信号远离板边缘和金属接插件，以防止因 ESD 引起的异常而导致复位模块死机
- RESET 的滤波电容应尽量靠近芯片引脚布局，信号需先经过电容，再进入芯片，注意滤波电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地
- RESET 信号应远离 DCDC、RF 等强干扰信号，以防止受到干扰。如果走线较长，建议包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔
- RESET 按键的 TVS 保护二极管应尽量靠近按键放置，信号拓扑为：按键 > TVS > 100Ω > 电容（靠近 CPU） > CPU；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减

10.4.3 电源与 GND 设计

VDDH、VDDA、VSS、VSSA、VREFP 所有电源和接地引脚都必须与电源正确连接。这些连接，包括焊盘、走线和过孔，都应具有尽可能低的阻抗。这需要较厚的走线宽度，最好是在多层 PCB 中使用专用电源平面层。

噪声区、低电平敏感区、数字区等都应单独接地，所有地线都应返回到一个点（通常选择在电源输入口处），必须避免出现环路交叉干扰。

为了提高模拟性能，用户必须为 VDDH 和 VDDA 使用单独的电源，并将去耦电容尽可能靠近器件。

电源应靠近地线布置，以尽量减小电源回路的面积。电源回路如同天线，是 EMI 的主要发射源和接收源。所有未放置器件的 PCB 空白区域都应额外接地，以形成屏蔽（尤其是在使用单层 PCB 时）。

此外，每个电源引脚应使用 100nF 滤波陶瓷电容并联 10μF 陶瓷电容器进行去耦。其典型值为 10nF ~ 100nF，具体值取决于应用需求。

模拟电源 (VDDA、VSSA) 应使用滤波陶瓷电容 100nF 和 1μF 去耦。VREFP 滤波陶瓷电容 100nF 和 1μF 去耦。

去耦电容的摆放如下:

- VDDH 与 VSS 引脚靠近时, 电容应摆放于每个 VDD 与 VSS 之间。电容必须尽可能靠近芯片电源引脚
- 去耦电容的 VSS 应避免与 MCU 的 VSS 距离过远, 否则容易受到干扰, 两者应在同一平面且保持靠近

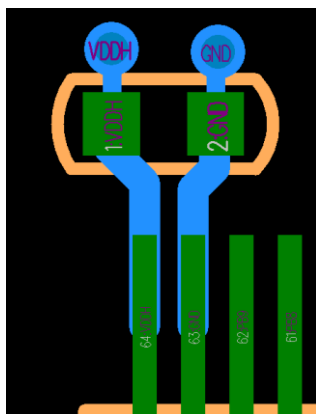


图 10-3: VDDH 去耦电容的典型布局

11 版本修订

版本	日期	描述
V1.0	2026.08.05	初始版